



TESE DE DOUTORADO

Inversores Multiníveis obtidos a partir do Empilhamento de Células de Dois Níveis

JOÃO HELDER GONZAGA MUNIZ DA SILVA

SUPRA OMNES LUX LUCES

CAMPINA GRANDE – PARAÍBA
NOVEMBRO – 2016



Inversores Multiníveis obtidos a partir do Empilhamento de Células de Dois Níveis

JOÃO HELDER GONZAGA MUNIZ DA SILVA

Tese de Doutorado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Doutor em Ciências, no domínio da Engenharia Elétrica.

Área de Concentração: Processamento da Energia

Prof. Edison Roberto Cabral da Silva

Orientador

Campina Grande - PB

Novembro - 2016

S586i

2016 Silva, João Helder Gonzaga Muniz da,

Inversores Multiníveis obtidos a partir do Empilhamento de Células de Dois Níveis / João Helder Gonzaga Muniz da Silva. — Campina Grande, 2016.

162 f.: il. color.

Tese (Doutorado) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática.

Orientação: Prof. Dr. Edison Roberto Cabral da Silva, Prof. Dr. Euzeli Cipriano dos Santos Júnior


1. Inversores. 2. Célula de Dois Níveis. 3. Modulação de Inversores. I. Silva, Edison Roberto Cabral da. II. Santos Júnior, Euzeli Cipriano dos.

CDU – 621.314.572(043)

"INVERSORES MULTINÍVEIS OBTIDOS A PARTIR DO EMPILHAMENTO DE CÉLULAS DE DOIS NÍVEIS"

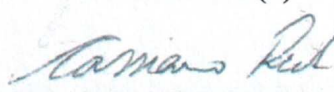
JOÃO HELDER GONZAGA MUNIZ DA SILVA

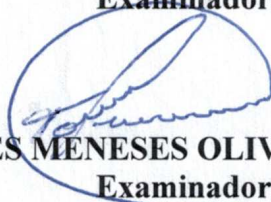
TESE APROVADA EM 14/11/2016

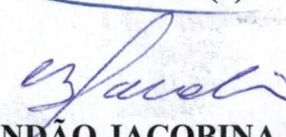

EDISON ROBERTO CABRAL DA SILVA, Dr.Ing., UFCG
Orientador(a)

EUZELI CIPRIANO DOS SANTOS JÚNIOR, D.Sc., IUPUI - USA
Orientador(a)

DEMERCIL DE SOUZA OLIVEIRA JÚNIOR, Dr, UFC
Examinador(a)


CASSIANO RECH, Dr., UFSM
Examinador(a)


TALVANES MENESES OLIVEIRA, D.Sc., UFCG
Examinador(a)


CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG
Examinador(a)

CAMPINA GRANDE - PB

Dedico este trabalho à minha esposa
Renata Arnaud, aos meus filhos
Tarsila e Bernardo. Ao meu Pai
João Muniz, à minha mãe Auristela
Muniz, às minhas irmãs Fabiana
Muniz e Fernanda Muniz, aos meus
avós Antonio Gonzaga, Maria
Albuquerque (in memorian), Silvino
Muniz (in memorian) e Severina
Muniz(in memorian), a todos os
meus tios, primos e demais parentes
e amigos.

Agradecimentos

Agradeço a Deus pela minha existência, por ter me proporcionado várias oportunidades e por estar sempre presente em minha vida.

Agradeço a minha querida esposa Renata Arnaud por todo carinho, dedicação e suporte. Aos meus pais João Muniz e Auristela pelo suporte e ensinamentos ao longo da vida. Aos meus sogros Francisco Arnaud e Elza Arnaud pelas valorosas ajudas. A Maria Letícia e Isabel Muniz que tiveram valiosa participação na minha formação.

A Euzeli Cipriano dos Santos Júnior pelas enormes contribuições e por ser um exemplo de dedicação naquilo que faz.

Um agradecimento especial ao professor Edison Roberto Cabral, cuja orientação foi muito além do escopo desse trabalho.

Aos professores Cursino Brandão, Talvanes Meneses Oliveira, Cassiano Rech e Demercil de Souza Oliveira pelas colaborações que engrandeceram este trabalho.

Aos amigos que tenho muita estima: Luciano Barros, Wellington de Sousa Lima, Alvaro de Medeiros Maciel, Abinadabe Silva Andrade, Antônio Isaac, Luis Gustavo Guedes Pereira Castro, Antonio de Paula Dias Queiroz, Edgar Luiz, Bruno Emanuel, Ítalo Roger e demais amigos de LEIAM.

Ao CNPQ pelo suporte financeiro que permitiu a realização deste trabalho.

Resumo

Os inversores multiníveis foram introduzidos como uma alternativa para o aumento da qualidade e da eficiência dos sistemas alimentados por inversores. Dependendo do nível de tensão *c.c.* do barramento aplicado ao inversor, pode ser inevitável a utilização de topologias multi-níveis. Estas topologias possibilitam a redução da tensão sobre cada um destes dispositivos. Contudo, uma quantidade maior de interruptores não só aumenta o custo final do inversor, como também requer o uso de estratégias mais complexas de modulação e controle. Ainda, alguns pontos inerentes aos inversores multiníveis como: redução da tensão de modo-comum, tolerância à faltas e desbalanceamento das tensões dos capacitores, entre outros, precisam ser investigados. Neste cenário, são de muito interesse os estudos de novas topologias multiníveis, além de novas técnicas de modulação simplificadas.

Neste trabalho serão estudados inversores multiníveis com diferentes princípios de operação, abordando topologias híbridas formadas pelo empilhamento de células dois níveis. A primeira delas, consiste de um inversor monofásico de quatro níveis em ponte. Este inversor é composto de um braço de dois níveis e um braço de três níveis apresentando mesma tensão de bloqueio para todas as chaves. Na segunda topologia, os pontos centrais de cada um dos braços são conectados ao mesmo ponto, com o braço externo envolvendo o interno, representando uma estrutura pouco investigada. Esta topologia necessita de chaves bidirecionais para tornar possível seu correto funcionamento. É feito ainda um estudo de um inversor de 2/3 níveis, onde é proposto um algoritmo de modulação simplificado, onde consegue-se uma significativa redução no número de operações realizados. Por fim, é estudado um inversor multinível simétrico híbrido baseado nas topologias meia-ponte e ANPC, onde são propostas duas alterações na topologia que juntamente com a modificação do padrão de chaveamento, fornece um melhor controle no balanceamento das tensões dos capacitores, além de reduzir a quantidade de fontes *c.c.* utilizadas pelo mesmo.

Palavras-chave: inversores, células de dois níveis, modulação de inversores.

Abstract

Multilevel inverters are an alternative for both quality and efficiency increase of inverter fed systems. Depending on the voltage level *c.c.* of the bus applied to the inverter, the usage of multilevel topologies is inevitable. Those topologies reduce the voltage over each of those devices. However, a higher quantity of switches increases the inverters final cost, and requires more complex approaches for control and modulation. Also, few inherent aspects of the multilevel inverters including: reduction of the common-mode voltage, fault tolerance and unbalance capacitors voltages, among other, need to be investigated. In this scenario, new multilevel topologies have great interest, also with new and simplified modulation techniques.

In this work we study multilevel inverter with different operational principles, formed by formed by stacking two levels cells. The first one, consist of a single-phase inverter with a four level bridge. This inverter is composed of a two level leg and a three level leg, presenting the same blocking voltage for all the switches. In the second topology, every central point of each of the leg is connected into a common single point, with the extern leg over the intern one, a structure poorly studied. This topology needs bidirectional switches for a correct well function. A study of the 2/3 level inverter is done, in which a significant reduction of the operation numbers is achieved. Finally, a hybrid symmetric multilevel inverter is studied based on both half-bridge and ANPC topologies, in which two changes in the topology are proposed alongside with some changes in the switching standard. This provides a better control in the capacitors voltage balance, and reduces the amount of sources *c.c.* used by them.

Keywords: inverters, two-level cells, modulation inverters.

Índice

Agradecimentos	v
Resumo	vi
Abstract	viii
Índice	ix
Índice de Tabelas	xii
Índice de Figuras	xiii
Lista de Símbolos	xx
1 Introdução Geral	1
1.1 Localização do Tema	1
1.2 Revisão Bibliográfica	5
1.2.1 Inversores Multiníveis	5
1.2.2 Técnicas de Modulação para Inversores Multiníveis	19
1.3 Empilhamento de Células Dois Níveis	24
1.4 Justificativa e Contribuições do Trabalho	34
1.5 Organização do Trabalho	36
1.6 Produção Gerada	37
2 Inversor 2L3L	38
2.1 Introdução	38
2.2 Operação do Inversor 2L3L	41
2.3 Estratégia de Modulação	41

2.4	Balanceamento das Tensões dos Capacitores	42
2.5	Comparação Geral	44
2.5.1	Número de Dispositivos	45
2.5.2	Distorção Harmônica da Tensão de Carga	45
2.5.3	Correntes nos Capacitores do Barramento	46
2.5.4	Perdas	46
2.6	Inversor 2L3L com Número de Fontes Reduzido	48
2.7	Resultados de Simulação	49
2.8	Resultados Experimentais	51
2.9	Conclusões	52
3	Configurações Multiníveis Nested	54
3.1	Introdução	54
3.2	Princípio de operação do inversor Nested	55
3.3	Estratégia de Modulação PWM	58
3.3.1	Estratégia PWM Híbrida	58
3.3.2	Estratégia de Modulação Vetorial	62
3.4	Análise de THD e WTHD	63
3.5	Seleção de componentes e circuito de acionamentos	64
3.6	Estudo de Perdas nos semicondutores	69
3.7	Generalização e comparação entre topologias	72
3.8	Resultados de Simulações	73
3.9	Resultados Experimentais	74
3.10	Conclusões	74
4	Estratégia de Modulação Simplificada para o Conversor Híbrido 2/3 Níveis	82
4.1	Introdução	82
4.2	Operação do inversor 2/3 Níveis	83
4.3	Estratégia de modulação	86
4.4	Estratégia de modulação Proposta	93
4.5	Conversor híbrido 2/3 níveis utilizando célula NPC	98
4.6	Estudo de perdas nos semicondutores	99

4.7	THD e WTHD	101
4.8	Resultados de Simulações	103
4.9	Resultados Experimentais	103
4.10	Conclusões	106
5	Inversores Híbridos de Cinco Níveis baseados nas Topologias Meia-Ponte e ANPC	108
5.1	Introdução	108
5.2	Inversor Híbrido Simétrico de Cinco Níveis baseado nas Topologias Meia-ponte e ANPC	109
5.2.1	Modos de operação	110
5.2.2	Análise Quantitativa	115
5.3	Inversor Híbrido de Cinco Níveis baseado nas Topologias Meia-Ponte e ANPC/Capacitor Flutuante	117
5.3.1	Modos de operação	117
5.3.2	Análise Quantitativa	121
5.4	Inversor Híbrido de Cinco Níveis baseado nas Topologias Meia-Ponte e ANPC/Fonte Flutuante	127
5.4.1	Modos de Operação	128
5.4.2	Análise Quantitativa	129
5.5	Estratégia PWM	131
5.6	Características Gerais	133
5.6.1	Oscilação das tensões dos capacitores	133
5.6.2	Seleção da indutância auxiliar	134
5.6.3	Corrente máxima nas chaves	135
5.6.4	Perdas	137
5.7	Resultados de simulações	140
5.8	Resultados Experimentais	140
5.9	Conclusões	142
6	Conclusões e Trabalhos Futuros	147
	Referências Bibliográficas	151

Índice de Tabelas

2.1	Tensão de saída considerando todos os estados de chaveamento possíveis . . .	42
2.2	Perdas do inversor NPC de quatro níveis	47
2.3	Perdas do inversor 2L3L	47
2.4	Comparação entre o inversor NPC 4N e o inversor 2L3L	48
2.5	Parâmetros utilizados na simulação do inversor 2L3L	49
3.1	Tensão de pólo considerando todos os estados de chaveamento	57
3.2	Tensão de bloqueio e corrente nas chaves da topologia Nested de quatro níveis.	66
3.3	Tensão de bloqueio e corrente nas chaves da topologia Nested de cinco níveis.	66
3.4	Perdas do inversor NPC de quatro níveis	70
3.5	Perdas do inversor Nested de quatro níveis	70
3.6	Perdas do inversor NPC de quatro níveis operando sob condição nominal 1200V/50A.	71
3.7	Perdas do inversor Nested de quatro níveis operando sob condição nominal 1200V/50A.	71
3.8	Comparação entre conversores de quatro níveis	73
3.9	Parâmetros utilizados na simulação do inversor Nested	74
4.1	Parâmetros utilizados na simulação do inversor 2/3 níveis	103
5.1	Possíveis estados de comutação	113
5.2	Estados de comutação utilizados na lógica de acionamento	114
5.3	Estados de comutação utilizados na lógica de acionamento do inversor HB- ANPC/FC	119
5.4	Comparação entre os conversores de cinco níveis	139
5.5	Parâmetros utilizados na simulação dos conversores de cinco níveis	140

Índice de Figuras

1.1	Processador de Potência (Conversor Estático)	2
1.2	Classificação de Kouro et al. (2010) modificada	4
1.3	Topologia de cinco níveis em Cascata	7
1.4	Inversores NPC tipo I e II (ou T): (a) braço de inversor NPC de três níveis tipo I; (b) braço de inversor NPC de três níveis tipo II.	8
1.5	Inversores multiníveis Bhagwat e NPC: (a) Braço de inversor de Bhagwat de sete níveis; (b) Braço de inversor NPC de cinco níveis.	8
1.6	Braço de um inversor FC de três níveis.	9
1.7	Braço de um inversor com grampeamento por diodos	10
1.8	Braço de um inversor ANPC: (a) ANPC de três níveis; (b) ANPC de cinco níveis	10
1.9	Inversores em cascata: (a) utilizando meia-ponte; (b) utilizando meia-ponte mista; (c) formando um braço de inversor; (d) simetricamente conectados em relação a um ponto central.	11
1.10	Braço de um inversor híbrido NPC/FC de três níveis.	12
1.11	Generalização do braço de um inversor ANPC/FC.	12
1.12	Braço de um inversor ANPC/FC de cinco níveis com redução de componentes.	13
1.13	Ponte inversora NPC	14
1.14	Ponte inversora FC	14
1.15	Ponte inversora NPC/FC	14
1.16	Ponte inversora ANPC/FC	15
1.17	Ponte inversora NPC/meia-ponte	15
1.18	Ponte inversora ANPC/meia-ponte	15
1.19	Inversor multinível de cinco níveis	16
1.20	Inversor híbrido com número reduzido de componentes	16

1.21	Inversor multinível híbrido simétrico	16
1.22	Ponte inversora com uma fonte <i>c.c.</i> comum: (a) Diagrama de blocos; (b) Topologia de três níveis para conversores de potência de baixa tensão.	17
1.23	Inversores formado por braços conectados em estrela: (a) Diagrama de blocos; (b) Inversor trifásico meia-ponte/ANPC; (c) braço formado por pontes em cascata.	18
1.24	Fonte multinível alimentando um inversor convencional: (a) Diagrama de blocos; (b) Inversor com fonte Multinível.	19
1.25	Inversores trifásicos com um dos braços de nível maior: (a) Diagrama de blocos; (b) Inversor Híbrido de 2/3 níveis.	20
1.26	Classificação de Kouro et al. (2010)	25
1.27	Células de dois níveis: (a) célula <i>c.c.</i> ; (b) célula <i>c.c.</i> positiva; (c) célula <i>c.c.</i> negativa; (d) célula <i>c.a.</i> ; (e) célula bidirecional	26
1.28	Empilhamento de células <i>c.a.</i> : (a) empilhamento de duas células; (b) empilhamento de quatro células para geração de mais níveis	28
1.29	Empilhamento de duas células <i>c.c.</i> do tipo positivo e negativo	28
1.30	Topologia FC obtidas pelo empilhamento de células <i>c.a.</i> : (a) braço FC; (b) generalização do FC.	29
1.31	Topologia ANPC obtidas pelo empilhamento de células <i>c.a.</i> : (a) braço ANPC; (b) generalização do ANPC.	30
1.32	Braço de inversor ANPC/FC	30
1.33	Inversor NPC/FC de cinco níveis	31
1.34	Topologia Nested: (a) Inversor NPC tipo II; (b) Nested de cinco níveis.	31
1.35	Pontes híbridas: (a) simétrica; (b) assimétrica.	32
1.36	Classificação de topologias multiníveis fonte de tensão	32
2.1	Formação do inversor 2L3L	39
2.2	Topologia em ponte H 2L3L	39
2.3	Configuração convencional e forma de onda da tensão de saída (a) topologia em ponte H com quatro chaves de três níveis (b) topologia em ponte H com oito chaves de cinco níveis	40

2.4	Formas de ondas da modulação seno-triângulo para (a) $v_l^*/2 > 0$ (b) $v_l^*/2 = 0$ (c) $v_l^*/2 < 0$	43
2.5	Caminho da corrente nos capacitores considerando todos os estados de chaveamento: (a)-(d) para $i_l > 0$ e (e)-(h) para $i_l < 0$	44
2.6	Configuração NPC de quatro níveis convencional	45
2.7	WTHD da tensão de carga em função do índice de modulação obtida por simulação	46
2.8	Inversor 2L3L com duas fontes de alimentação	48
2.9	Inversor 2L3L trifásico	49
2.10	Resultados de simulação (de cima para baixo) tensão de polo no braço dois níveis, tensão de polo no braço três níveis, tensão de carga e corrente de carga	50
2.11	Resultados de simulação (de cima para baixo) tensão de carga, tensões nos capacitores v_{c2} e v_{c3} e corrente de carga	50
2.12	Resultados Experimentais (de cima para baixo) tensão de polo no braço dois níveis, tensão de pólo no braço três níveis, tensão de carga e corrente de carga	51
2.13	Resultados Experimentais (de cima para baixo) tensão de carga, tensões nos capacitores v_{c2} e v_{c3} e corrente de carga	51
3.1	Formação do Nested: (a) Empilhamento de células com diferentes dispositivos (b) formação da chave bidirecional e (c) Nested de três níveis ou NPC de três níveis do tipo II	55
3.2	Configurações Multiníveis Nested: (a) Quatro níveis (b) Cinco níveis e (c) Seis níveis	56
3.3	Fluxo de corrente através das chaves no braço da topologia Nested.	58
3.4	Fluxo de corrente através das chaves no braço da topologia NPC de quatro níveis.	59
3.5	Definição de P_a , P_b e P_c em um inversor de 4-níveis.	60
3.6	Diagrama de blocos da PWM híbrida	61
3.7	Implementação analógica da PWM.	61
3.8	Diagrama Vetorial.	63
3.9	WTHD da tensão de carga em função de v_μ	64

3.10	THD da corrente de carga em função do índice de modulação para as configurações com (a) quatro níveis (b) cinco níveis e (c) seis níveis.	65
3.11	Tensões nas chaves do braço <i>a</i>	67
3.12	Corrente nas chaves do braço <i>a</i>	68
3.13	Circuito de acionamento de um braço do Nested com três drivers high-side e um low-side.	69
3.14	Generalização da configuração Nested com número de níveis: (a) par e (b) ímpar.	72
3.15	Topologias propostas na literatura técnica: (a) inversor multinível com diodos grampeados (b) conversor NPC ativo (c) inversor de quatro níveis e (d) inversor a capacitores flutuantes.	73
3.16	Resultados de simulação do Nested de quatro níveis. (a) Tensão de polo; (b) De cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga.	75
3.17	Resultados de simulação do Nested de cinco níveis. (a) Tensão de polo; (b) De cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga.	76
3.18	Resultados de simulação do Nested de seis níveis. (a) Tensão de polo; (b) De cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga.	77
3.19	Resultados de simulação do Nested de quatro níveis com fatores de potência igual a: (a) 0,6, (a) 0,8, e (a) 1,0.	78
3.20	Resultados experimentais do Nested de quatro níveis. (a) Tensão de polo; (b) De cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga.	79
3.21	Resultados experimentais do Nested de cinco níveis monofásico: Tensão de polo e corrente na carga monofásica.	80
4.1	Formação do inversor de 2/3 níveis	83
4.2	Inversor Híbrido de 2/3 níveis	83
4.3	Aplicação do vetor 0,-1,-1	84
4.4	Aplicação do vetor 1,-1,-1	85

4.5	Aplicação do vetor 1,1,-1	85
4.6	Aplicação do vetor 1,1,0	85
4.7	Princípio da modulação por portadora do inversor 2/3 N	86
4.8	Pulsos da modulação proposta por (Mihalache, 2006) no intervalo 1 do setor 1	87
4.9	Triângulos formados pelas tensões v_a e v_b com as portadoras	87
4.10	Pulsos da modulação proposta por (Mihalache, 2006) no intervalo 2 do setor 1	88
4.11	Triângulos formados pelas tensões v_b e v_c com as portadoras	89
4.12	Pulsos da modulação proposta por (Mihalache, 2006) no intervalo 3 do setor 1	90
4.13	Intervalos do setor 1	91
4.14	Fluxograma da modulação proposta por (Mihalache, 2006): (a) para os setores 1, 3 e 5; (b) para os setores 2, 4 e 6.	92
4.15	Método introduzido por Mihalache, mostrando os seis setores e os dezoitos intervalos a serem determinados	94
4.16	Método proposto: utilizando as equações (4.17) e (4.18)	95
4.17	Fluxograma da modulação proposta	95
4.18	Diagrama vetorial 2N	96
4.19	Diagrama vetorial 2/3N	97
4.20	Diagrama vetorial 3N	97
4.21	Inversor Híbrido de 2/3 níveis	99
4.22	Sequências de configurações para para o intervalo 1 do Setor 1	100
4.23	Comparação de perdas totais versus frequência de chaveamento e tensão do barramento	101
4.24	WTHD: (a) $2kHz$; (b) $10kHz$	102
4.25	THD: (a) $2kHz$; (b) $10kHz$	102
4.26	Resultados de simulações. (a) (de cima para baixo) tensão de polo e correntes na carga trifásica; (b) (de cima para baixo) tensão de linha e tensões nos capacitores do barramento	104
4.27	Detalhes da tensão de polo	104
4.28	Resultados experimentais. (a) tensão de polo; (b) tensão de linha e (c) cor- rentes trifásicas	105
4.29	Implementação no DSP do princípio da modulação do inversor 2/3 N	106

5.1	Formação das topologias propostas: (a) com capacitor no braço ANPC (b) com fonte de tensão no braço ANPC	109
5.2	Inversor trifásico HB-ANPC utilizando seis fontes isoladas	110
5.3	Modos de operação do inversor HB-ANPC: semi-ciclo positivo	111
5.4	Modos de operação do inversor HB-ANPC: semi-ciclo negativo	112
5.5	Estrutura trifásica HB-ANPC com três fontes de tensão	114
5.6	Oscilação das tensões dos capacitores do inversor da Fig 5.5	115
5.7	Conversor proposto com célula ANPC/capacitor flutuante	117
5.8	Modos de operação da estrutura HB-ANPC/FC	118
5.9	Estados transitórios no semi-ciclo positivo	119
5.10	Variação das tensões: v_{C1} , v_{C2} e v_{C3}	120
5.11	Conversor HB-ANPC/FC com indutâncias	120
5.12	Variação das tensões: v_{C1} , v_{C2} e v_{C3} com $C_3 = 2C_1 = 2C_2$	121
5.13	Circuitos equivalentes dos modos 2 e 3	121
5.14	Circuito equivalente na mudança do modo 2 para o modo 1	123
5.15	Conversor com célula ANPC/fonte flutuante	127
5.16	Modos de operação da estrutura HB-ANPC/FS	129
5.17	Conversor HB-ANPC/FS com indutâncias	129
5.18	Circuitos equivalentes dos modos 1 e 3 da estrutura HB-ANPC/FS	130
5.19	Circuitos equivalentes dos modos 2 e 4 da estrutura HB-ANPC/FS	131
5.20	Definição de P_a , P_b e P_c em um inversor de 5-níveis.	132
5.21	Oscilação da tensão dos capacitores das três topologias estudadas	134
5.22	Valores de indutâncias permitidos em função dos capacitores utilizados	136
5.23	Corrente máxima nas chaves dos inversores propostos	136
5.24	Distribuição da perdas por chaveamento	138
5.25	Distribuição das perdas por condução	138
5.26	Perdas totais dos conversores	139
5.27	Configuração HB-ANPC com capacitâncias de $2200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente de carga.	141

5.28	Configuração HB-ANPC com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente de carga.	141
5.29	Configuração HB-ANPC/FC com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente de carga.	142
5.30	Configuração HB-ANPC/FS com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente de carga.	143
5.31	Configuração HB-ANPC com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente na carga.	143
5.32	Configuração HB-ANPC/FC com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente na carga.	144
5.33	Configuração HB-ANPC/FS com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente na carga.	144

Lista de Símbolos

f_s	–	Frequência chaveamento
S_1, S_2, S_3, S_4	–	Chaves de inversores
V_l	–	Tensão de carga
v_{a0}, v_{b0}, v_{c0}	–	Tensões de polo
$v_{a0}^*, v_{b0}^*, v_{c0}^*$	–	Tensões de referencia
V_{cc}	–	Tensão da fonte
V_{c1}, V_{c2}, V_{c3}	–	Tensões nos capacitores
$v_{a0}^{*'}, v_{b0}^{*'}, v_{c0}^{*'}$	–	Tensões de referências modificada
v_μ	–	Tensão homopolar
P_a, P_b, P_c	–	Diferença de entre os níveis e as senoides de referência
N	–	Número de níveis
T_a, T_b, T_c	–	Tempo de acionamento das chaves
$v_{t1}^*, v_{t2}^*, v_{t3}^*$	–	Sinais da portadora
v_d, v_q	–	Tensões em quadratura
THD	–	Distorção harmônica total
WTHD	–	Distorção harmônica total ponderada
i_a, i_b, i_c	–	Corrente de carga
$v_{max}, v_{med}, v_{min}$	–	Valores máximo, médio e mínimo de tensão
a_1	–	Amplitude da tensão fundamental

p	–	Número de harmônicos total
a_h	–	Amplitude da n-ésima harmônica
m	–	índice de modulação
V_f	–	Tensão da fonte
R	–	Resistência da carga
w_l	–	Reatância do indutor de carga
Z_l	–	Reatância da carga
Δv_c	–	Variação de tensão dos capacitores
i_{c1}, i_{c2}, i_{c3}	–	Corrente nos capacitores
T_s	–	Período de chaveamento do conversor
ΔQ_c	–	Variação de carga do capacitores
w_o	–	Frequência de ressonância

1

Introdução Geral

1.1 Localização do Tema

O domínio da energia tem sido de extrema importância para o progresso da humanidade e o percentual de consumo é um dos indicadores do estágio de desenvolvimento de uma nação. Como dados demonstrativos, os Estados Unidos (maior economia mundial) e com apenas 4% da população mundial, consome cerca de 28% da energia global gerada. Já a China, que possui cerca de 20% da população mundial, e que consumia menos que 2,5% no início da década passada, experimentou forte crescimento econômico e agora possui a segunda maior economia, consumindo energia quase no mesmo nível que os Estados Unidos (Bose, 2013). Assim, os países buscam cada vez mais o seu fortalecimento econômico e investem no crescimento industrial. Observa-se que o domínio do manuseio da energia elétrica foi um fator determinante nas transformações que ocorreram no mundo nos últimos séculos, sendo esse tipo de energia o mais utilizado no mundo. Sua demanda global tem crescido continuamente e, em 2030, a capacidade de geração elétrica no mundo terá crescido cerca de 100% (Steimer, 2010).

A energia elétrica é obtida a partir de outras formas de energia, tais como a hídrica, a eólica, a solar, a geotérmica, a das ondas, a das marés e as bio-combustíveis, entre outras (Bose, 2013). As estratégias de controle eficaz da produção, transporte e uso final dessa energia têm sido bem sucedidas graças à eletrônica de potência. A eletrônica de potência é a área da engenharia dedicada ao estudo do processamento e controle do fluxo de energia

elétrica entre uma fonte (de tensão ou corrente) e uma carga. O processamento da energia é feito por meio de conversores estáticos que são circuitos elétricos compostos de elementos ativos (dispositivos semicondutores). Por meio do controle dos tempos de condução e bloqueio dos elementos ativos, pode-se converter a tensão de entrada com amplitude V_e e frequência f_e em uma tensão na saída com amplitude V_s e frequência f_s , Fig. 1.1.

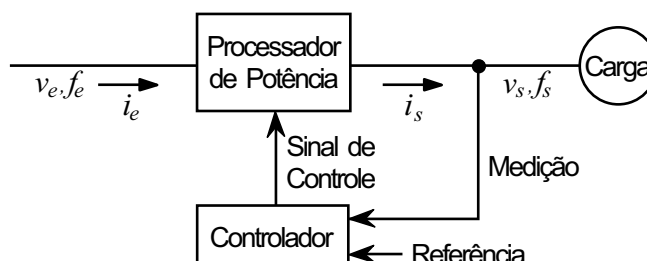


Figura 1.1: Processador de Potência (Conversor Estático)

A era da eletrônica de potência moderna começou em 1957 quando o primeiro tiristor, um dispositivo semicondutor de potência que recebeu o nome de Retificador Controlado de Silício (SCR, do inglês *Silicon Controlled Rectifier*), foi tornado comercial pela *General Electric Company*. O SCR substituiu o Retificador a Arco de Mercúrio, inventado em 1902, o Tiratron, inventado em 1923, e o Ignitron, inventado em 1931, tornando mais econômico o uso de vários circuitos industriais, concebidos entre os anos 20 e 40, em adição à ponte de Graetz patenteada em 1897. Os SCRs foram utilizados em conversores durante mais de um quarto de século e ainda reinam supremos nas aplicações com potências elevadas. Contudo, os SCRs são considerados lentos e difíceis de comutar em aplicações de corrente contínua e mesmo nas aplicações de corrente alternada já não são considerados a melhor opção. Recentemente, a confluência de dois fatores provocou um crescimento explosivo na Eletrônica de Potência e uma grande revolução na indústria elétrica: 1) novos dispositivos já disponíveis para tensões e correntes elevadas, mais eficientes, de controle mais fácil e de chaveamento mais rápido; 2) o uso de processadores digitais como o DSP (do inglês, *Digital Signal Processor*) e o FPGA (do inglês, *Field Programmable Gate Array*). O impacto destes dois fatores foi tão significativo quanto o aparecimento do SCR, permitindo, assim, o uso de novos conceitos de comando e de técnicas de controle moderno dos conversores.

Vários dispositivos são usados hoje em dia: o BJT (*Bipolar Unijunction Transistor*), de 1970, em aplicações de baixa a média potências e frequências, já pouco utilizado; o tiristor GTO (*Gate Turn-off*, GTO), em torno de 1973, em aplicações de baixa a alta potências e

de baixa a média frequências; o MOSFET (*Metal-oxide Semi-conductor Field-effect Transistor*), de 1978, em aplicações de baixa potência e frequência elevada; o IGBT (*Insulated Bipolar Gate Transistor*) de 1983, em aplicações de baixa a média potências e frequências; o IGCT (*Integrated Gate Commutated Thyristor*), de 1997, e o ETO (*Emitter Turn-off*), de 1998, em aplicações de média a alta potências e de baixa a média frequências. Assim, os equipamentos podem operar na faixa de alguns poucos watts até os GW, a faixa de frequência indo de algumas centenas de Hz até algumas centenas de kHz, dependendo da potência manuseada (Bat, 2004) e da limitação pela Interferência Eletromagnética.

Com tantos dispositivos, formando um leque composto pelas mais variadas características de tensão, corrente e frequência, e com a facilidade de uso de novas técnicas de controle através de microcomputadores e de outros processadores, a eletrônica de potência passou a ser utilizada em um número cada vez maior e diversificado de aplicações. Elas podem ser do tipo residencial (refrigeração, aquecimento, iluminação, alimentação de computadores, etc.), comercial (aquecimento, ventilação, elevadores, fontes de emergência, etc.), industrial (bombas, compressores, exaustores, moinhos, laminadores, trituradores, ventiladores, robôs, aquecimento indutivo, solda, acionamento de motores, etc.), transporte (veículos elétricos, carregadores de bateria, locomotivas, metrô, eletrônica de automóvel, etc), *utility systems* (transmissão de alta tensão em corrente contínua, geração de energia, compensação de reativos, FACTS, etc.), aero-espacial (sistemas de alimentação em naves espaciais, satélites e aeronaves), telecomunicações (fontes de alimentação e equipamentos de radio-transmissão) e conversão de energias alternativas (fonte eólica, fonte fotovoltaica, fonte de células combustíveis, propulsores marinhos, etc.) (Kouro et al., 2010).

Nessas aplicações, os equipamentos de eletrônica de potência baseiam-se nos chamados conversores estáticos de energia. Esses conversores podem ser classificados de acordo com sua função de conversão da energia elétrica na forma contínua (*c.c.*) ou alternada (*c.a.*), em sua entrada, para uma energia elétrica na forma contínua ou alternada, em sua saída, ou seja: conversores *c.a./c.a.*, conversores *c.a./c.c.*, conversores *c.c./c.a.* e conversores *c.c./c.c.* Em especial, os conversores *c.a./c.c.* são referidos como retificadores e conversores *c.c./c.a.* como inversores. Os conversores *c.a./c.a.* podem ser diretos ou indiretos, como indicado na classificação apresentada por (Kouro et al., 2010), mostrada na Fig. 1.2. Os conversores diretos são constituídos por cicloconversores e por conversores matriciais. Em particular,

os conversores indiretos realizam, inicialmente, uma conversão $c.a./c.c.$ e, em seguida, uma conversão $c.c./c.a.$. Ou seja, nesse conversor, um retificador alimenta um inversor. Também, os conversores podem ser do tipo fonte de tensão, do tipo fonte de corrente ou do tipo fonte Z, esta última tendo sido acrescentada à classificação de Kouro.

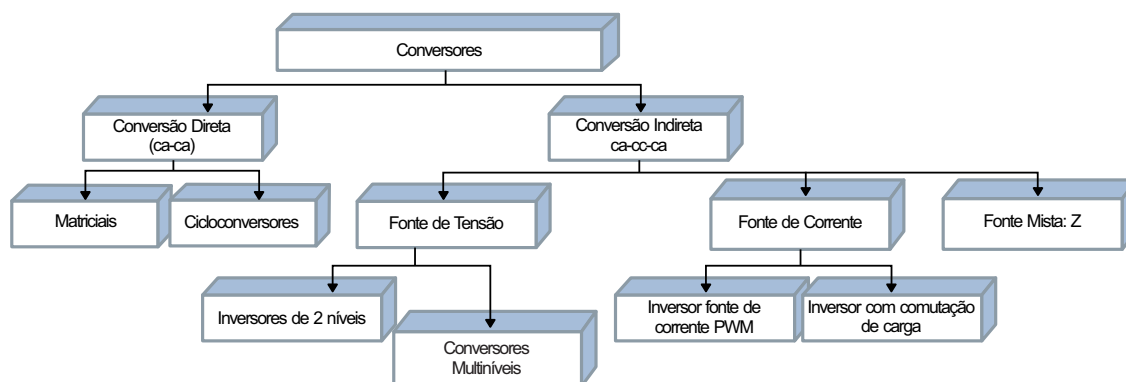


Figura 1.2: Classificação de Kouro et al. (2010) modificada

Cada aplicação utiliza um tipo adequado de conversor e envolve diferentes aspectos no que tange o uso da eletrônica de potência. Por exemplo, dentre as aplicações industriais, os sistemas de acionamento são, sem dúvida, os mais utilizados. Na tentativa de se melhorar o desempenho dos motores através da melhoria das formas de onda de alimentação, o custo e tamanho de fontes em geral, a existência de dispositivos rápidos e confiáveis permitiu a elevação das frequências de operação dos conversores. Entretanto, isto leva a um aumento das perdas produzidas durante a operação dos conversores, o que piora com o aumento de potência nos grandes motores. Também, a introdução de conversores provocou, em muitos casos, a deterioração da qualidade da energia e a introdução de harmônicos na linha gerando normas que impõem valores mínimos de fator de potência e valores máximos do conteúdo de harmônicos produzidos. Isto acarretou desenvolvimento de novos campos de pesquisa e novos métodos, tais como aqueles que possuem o objetivo de reduzir as perdas. Em particular, a aplicação dos conversores em *utility systems* e a busca da melhoria da qualidade de energia levou ao conceito de Sistemas Flexíveis de Transmissão CA, FACTS (do inglês *Flexible Alternate Current Transmission Systems*) e ao desenvolvimento de filtros ativos e compensadores de fator de potência, no nível de sistemas de distribuição. Como aumentar a potência dos conversores mantendo níveis aceitáveis de qualidade de energia e de eficiência energética? Parte dessa exigência do mercado foi satisfeita com o desenvolvimento de dispositivos como o IGBT e, posteriormente, o IGCT e o ETO, e de estruturas de converso-

res, como os chamados multiníveis, capazes de operar nos níveis de média a alta potência, área antes restrita ao uso do SCR utilizados em conversores de dois níveis em conjunto com transformadores de potência elevada. Dentro da classificação de Kouro, conforme a Fig. 1.2, os conversores tipo fonte de tensão são os mais utilizados. Dentro deste contexto, serão investigados, especificamente, os inversores multiníveis.

1.2 Revisão Bibliográfica

Foi realizada uma pesquisa bibliográfica para verificar o estado da arte com respeito às topologias de inversores multiníveis e estratégias de modulação para inversores fonte de tensão. Alguns dos trabalhos analisados são apresentados nesta seção.

1.2.1 Inversores Multiníveis

Como mencionado, os inversores multiníveis foram introduzidos como uma alternativa para o aumento da qualidade e dos níveis de tensão dos sistemas alimentados por inversores. A redução do conteúdo harmônico possibilitada por estes inversores, além de melhorar a qualidade dos sinais na saída do inversor, contribui diretamente para redução das perdas nos motores causadas pelas componentes harmônicas das correntes e pela componente pulsante do torque (Corrêa, 2002).

As estruturas de inversores multiníveis possibilitam o controle de níveis maiores de tensão e potência máxima suportáveis pelos interruptores. Com uma quantidade maior de níveis para compor o sinal modulado, estes inversores possibilitam sinais de saída com um conteúdo harmônico bem menor, ou possibilitam a operação em frequência de comutação mais baixa, porém com a mesma qualidade de um inversor de dois níveis operando em frequência elevada. Com isso, é possível diminuir as perdas por comutação e a interferência eletromagnética (dos Santos, 2005).

Os conversores multiníveis têm sido fonte de pesquisa e desenvolvimento por mais de três décadas e têm sido aplicados com sucesso em aplicações industriais. Muitas contribuições e topologias comerciais têm sido reportadas nos últimos anos. Atualmente, os conversores têm sido comercializados de forma padronizada ou de forma personalizada de acordo com

cada aplicação específica. Embora seja uma tecnologia já consolidada, o conversor multinível apresenta um horizonte desafiador, com pesquisadores de todo mundo contribuindo para o melhoramento da eficiência, confiabilidade, densidade de potência, simplificação e custo. A ampliação cada vez maior de seu campo de aplicação tem tornado os conversores multiníveis mais atrativos e competitivos do que as topologias clássicas, dependendo dos níveis de tensão, corrente e potência utilizada.

As primeiras estruturas utilizadas para obtenção de formas de onda de tensão multiníveis eram compostas por vários conversores convencionais de dois níveis cujas saídas alimentavam transformadores cujos enrolamentos secundário eram conectados em série (Flairty, 1962; Morgan e Hoft, 1964). As saídas dos conversores eram defasadas e somadas vetorialmente de modo a produzir, no secundário, uma forma de onda quase-senoidal, formada por diferentes degraus de tensão. Essas estruturas foram propostas inicialmente como solução para acionamentos elétricos de alta potência e alto desempenho (Nabae, Takahashi e Akagi, 1981). Entretanto, elas requerem transformadores especiais com doze ou mais secundários, sendo de projeto complicado, caros e, normalmente, sem atenderem aos ensaios de descargas parciais exigidos em cubículos de média tensão.

A primeira estrutura de inversor multinível, sem a necessidade de uso de transformadores, registrada foi do tipo em cascata com inversores monofásicos em ponte completa alimentados por fontes c.c. separadas e conectados em série para sintetizar as tensões c.a. de saída na forma de degraus (Baker e H., 1975). Sua estrutura, amplamente utilizada para se conseguir múltiplos níveis de tensão pode ser vista na Fig. 1.3, para um inversor em cascata de cinco níveis. A tensão de saída é obtida somando-se a tensão de saída de cada módulo. Embora a estrutura tenha surgido em 1975, seu uso só se deu a partir do final dos anos 80 (Marchesoni et al., 1988; Marchesoni, 1989). Posteriormente, essa mesma topologia foi investigada para aplicação em compensadores estáticos de reativos (Lai e Peng, 1996; Peng et al., 1996). Note-se que o componente básico desta estrutura, o módulo, é o inversor monofásico em ponte completa, capaz de operar em três níveis desde que os disparos dos interruptores de cada braço sejam defasados um em relação ao outro.

A topologia de inversor de três níveis com diodos de grampeamento NPC (do inglês, *Neutral Point Clamped*), Fig. 1.4(a), uma alternativa para o inversor de três níveis em cascata, foi introduzida em (Baker, 1980), tendo despertado interesse após o trabalho apresentado

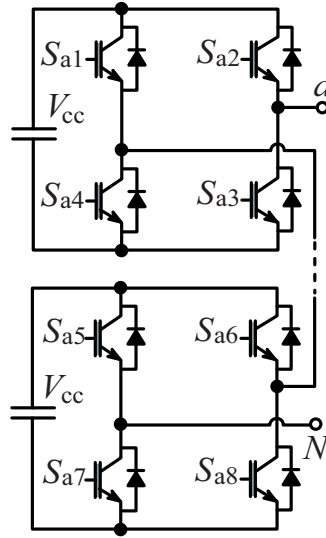


Figura 1.3: Topologia de cinco níveis em Cascata

em (Nabae, Takahashi e Akagi, 1981). Como o próprio nome diz, possui diodos de grampeamento que são conectados ao barramento *c.c.* do inversor. Observa-se na Fig. 1.4(a) que cada braço do inversor de três níveis NPC é formado por quatro dispositivos semicondutores com seus respectivos diodos em anti-paralelo e dois diodos ligados ao ponto central do barramento. A tensão sobre os interruptores é mantida igual à tensão dos capacitores C_1 ou C_2 através dos dois diodos de grampeamento em cada braço. A tensão em cada capacitor deve ser mantida o mais próximo possível do valor ideal $V_{cc}/2$ para garantir que as tensões de polo assumam os valores $-V_{cc}/2$, 0 ou $V_{cc}/2$. Um segundo tipo do inversor NPC, indicado Fig. 1.4(b), foi também investigado em (Nabae, Takahashi e Akagi, 1981). Nesse caso, o acesso ao ponto central é obtido através de um interruptor bidirecional e, embora o número de interruptores seja reduzido, os do braço, conectados ao barramento *c.c.* têm que suportar, toda sua tensão.

Só posteriormente, o conceito de inversor multinível foi aplicado em uma estrutura generalizada para N níveis (Bhagwat e Stefanovic, 1983; Choi et al., 1991), a partir da introdução de interruptores adicionais (tiristores, no caso de Bhagwat e GTOs no caso de Choi) conectando a fase aos pontos intermediários entre vários capacitores colocados no barramento *c.c.*. Esses circuitos são indicados nas Figs. 1.5(a) e 1.5(b). Embora, sem ter o mesmo impacto de outras topologias, o inversor generalizado de Bhagwat mostrou as vantagens da redução de harmônicas através da utilização das estruturas multiníveis. Em particular, a versão para três níveis do inversor de Bhagwat corresponde à segunda versão do NPC apresentada em

(Nabae, Takahashi e Akagi, 1981), Fig. 1.4(b). Já o inversor proposto por Choi é uma generalização direta do NPC de três níveis da Fig. 1.4(a).

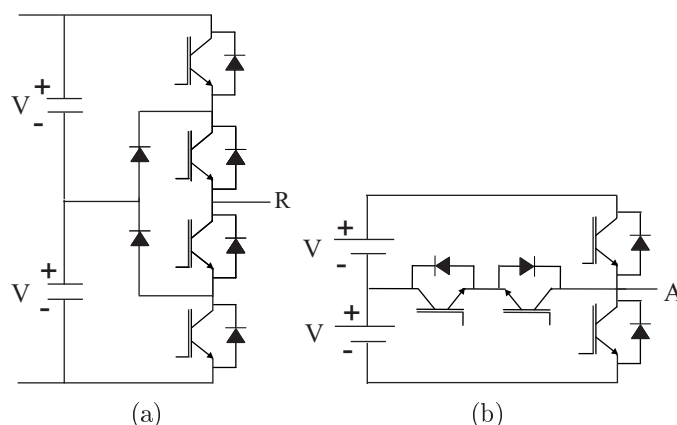


Figura 1.4: Inversores NPC tipo I e II (ou T): (a) braço de inversor NPC de três níveis tipo I; (b) braço de inversor NPC de três níveis tipo II.

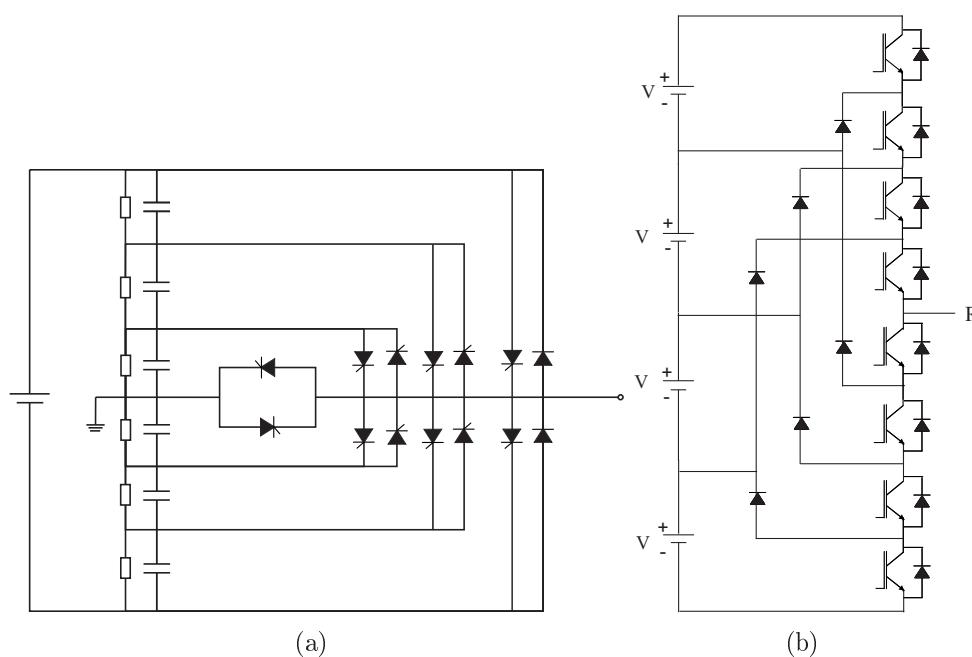


Figura 1.5: Inversores multiníveis Bhagwat e NPC: (a) Braço de inversor de Bhagwat de sete níveis; (b) Braço de inversor NPC de cinco níveis.

No início da década de 90, surgiu mais uma alternativa para inversores multiníveis: o princípio do inversor multinível com capacitores flutuantes, indicado na Fig. 1.6 e proposto por (Meynard e Foch, 1992). Nela, a tensão sobre os interruptores é limitada utilizando-se capacitores em lugar dos diodos, o que diminui as perdas em condução. No entanto, o uso deste princípio aumenta a complexidade das técnicas utilizadas para equalizar as tensões, não só no barramento *c.c.*, mas também nos capacitores flutuantes.

Na época, os inversores NPC, os inversores a capacitor flutuante e os inversores em cascata foram considerados os mais importantes, tendo sido, por esta razão, realizados diversos estudos comparativos entre os mesmos (Lai e Peng, 1996; Peng et al., 1996). Daí em diante, muitas configurações, capazes de gerar três ou mais níveis de tensão em sua saída, foram propostas (Suh et al., 1998), (Rodriguez et al., 2002), com o intuito de reduzir o conteúdo harmônico da tensão de saída (Mariethoz e Rufer, 2004; Weng et al., 2007), de diminuir a quantidade de componentes ativos e passivos, de melhorar a eficiência e diminuir os esforços de tensão sobre os semicondutores (Kouro et al., 2010; Chan et al., 2009; Boora et al., 2010), especialmente em aplicações de média e de alta potência, como compensadores de potência reativa e acionamento de motores *c.a.*. Por exemplo, os diodos do inversor multinível indicado na Fig. 1.5(b) suportam tensões desiguais, conforme sua localização. Uma modificação efetuada para minorar este problema foi a de distribuir estas tensões elevadas em diodos adequadamente conectados em série (Lai e Peng, 1996). Um grampeamento adequado para equalizar as tensões sobre os diodos foi obtida em (Xiaoming Yuan, 2000), mostrado na Fig. 1.7. Uma outra concepção, que tinha como proposta melhorar a distribuição das perdas nos interruptores, em relação ao NPC, foi tornada conhecida na sua versão de três níveis em (Bruckner e Bemmet, 2001; Bruckner et al., 2005) e apresentada em sua forma generalizada em (Peng, 2001): o inversor multinível com grampeamento ativo do neutro (ANPC - Active Neutral Point Clamped), apresentado na Fig. 1.8.

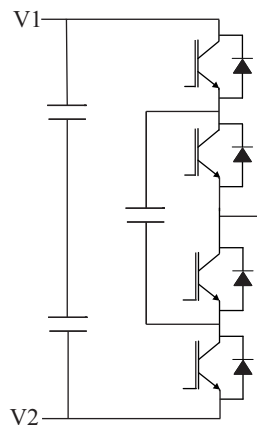


Figura 1.6: Braço de um inversor FC de três níveis.

Uma busca na redução de componentes, levou à conexão de meia pontes, também alimentadas por fontes isoladas, resultando numa fonte multinível *c.c.* (Su e Adams, 2001; Su, 2005), cujo número de componentes foi ainda mais reduzido, posteriormente, com a utiliza-

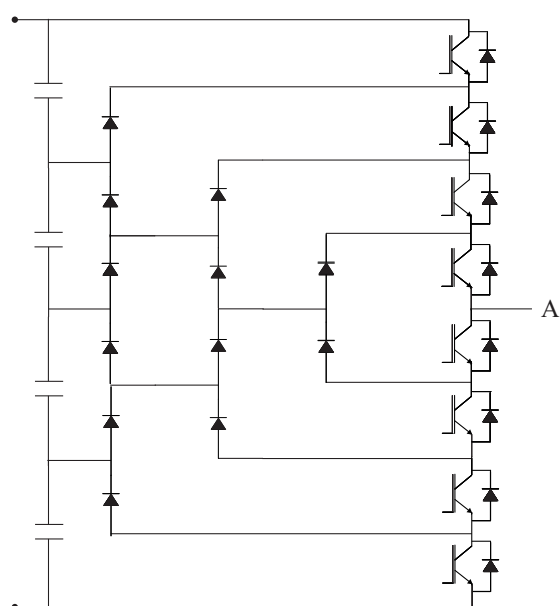


Figura 1.7: Braço de um inversor com grampeamento por diodos

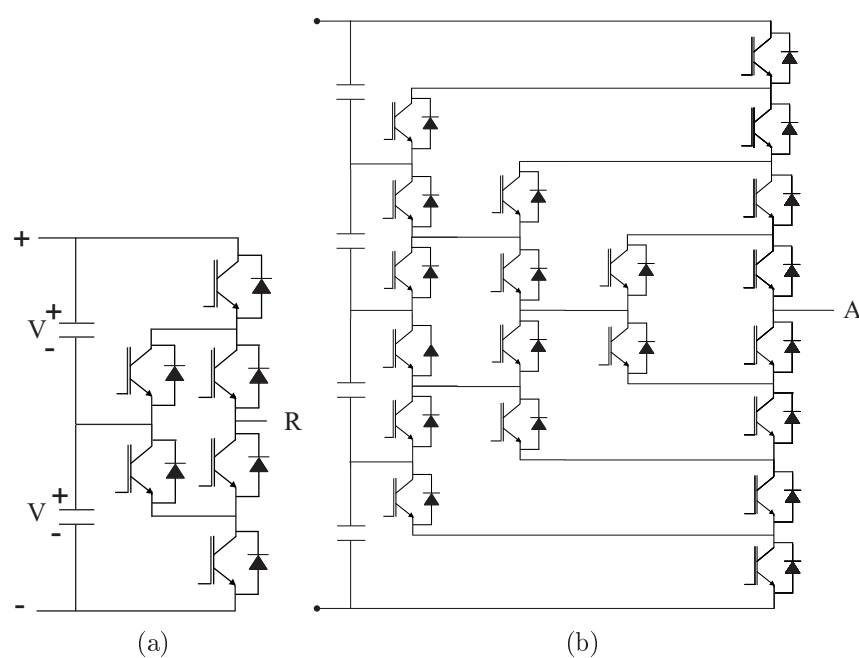


Figura 1.8: Braço de um inversor ANPC: (a) ANPC de três níveis; (b) ANPC de cinco níveis

ção de meia-ponte mistas (Chen et al., 2008). Estas duas topologias são indicadas nas Figs. 1.9(a) e 1.9(b). Essas fontes de tensão *c.c.* variável são utilizadas para alimentar um braço de inversor, como indica a Fig. 1.9(c).

Um outro princípio inventado a partir da conexão série de estruturas em meia-ponte, de dois níveis, foi a de inversor modular (Lesnicar e Marquardt, 2003). Como se observa, a conexão cascata utiliza fontes individuais, sem tensão de barramento *c.c.* O conceito de inversor modular implica em substituir a fonte isolada por um capacitor de armazenamento, cada meia ponte e seu capacitor constituindo um módulo. Dois conjuntos compostos, cada um, de vários módulos em cascata, simetricamente conectados em relação a um ponto central são alimentados por um barramento *c.c.*, como ilustra a Fig. 1.9(d).

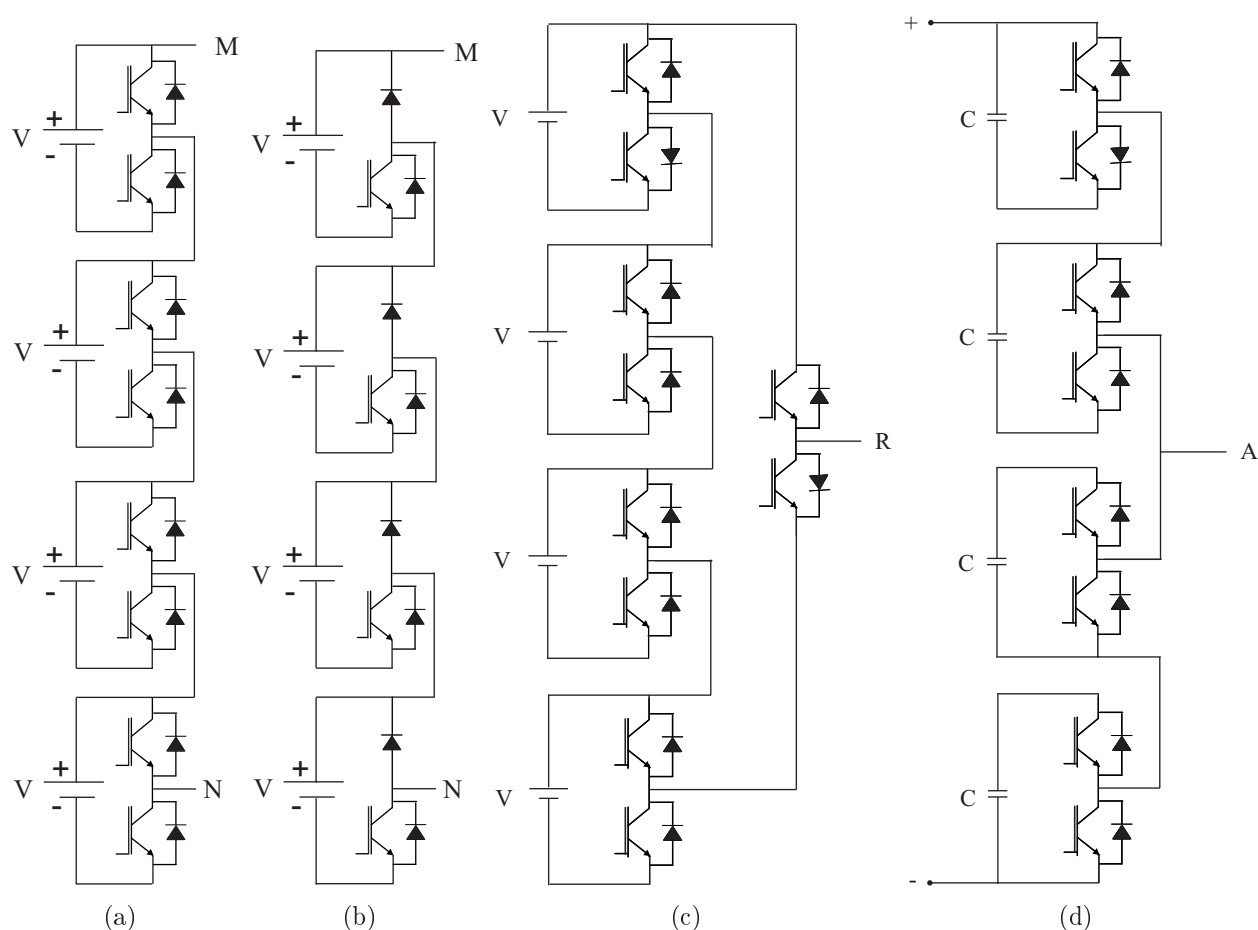


Figura 1.9: Inversores em cascata: (a) utilizando meia-ponte; (b) utilizando meia-ponte mista; (c) formando um braço de inversor; (d) simetricamente conectados em relação a um ponto central.

Outras configurações resultaram de diferentes tipos de combinações, dando origem aos conversores híbridos, havendo um grande número de possibilidades para sua geração. Por

exemplo, pode ser feita uma associação de diferentes princípios, ou de partes de diferentes estruturas, na formação de um braço. É o caso do inversor no qual um capacitor flutuante é adicionado à topologia NPC (Suh e Hyun, 1997). Tal estrutura, apresentada na Fig. 1.10, tem como vantagem a redução da flutuação de tensão no ponto neutro e do balanceamento das tensões de bloqueio nos interruptores e como desvantagem o acréscimo de componentes. Este tipo de combinação foi, posteriormente, estendido para o caso do inversor ANPC, de modo generalizado, em (Peng, 2001), Fig. 1.11, e para cinco níveis, com redução do número de componentes em (Barbosa et al., 2005), Fig. 1.12.

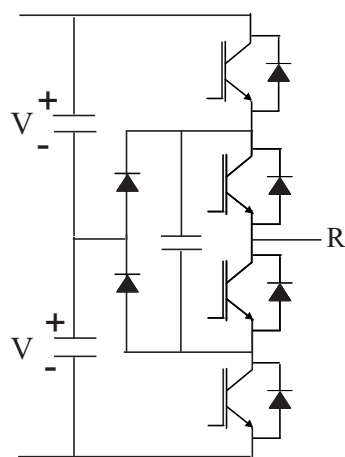


Figura 1.10: Braço de um inversor híbrido NPC/FC de três níveis.

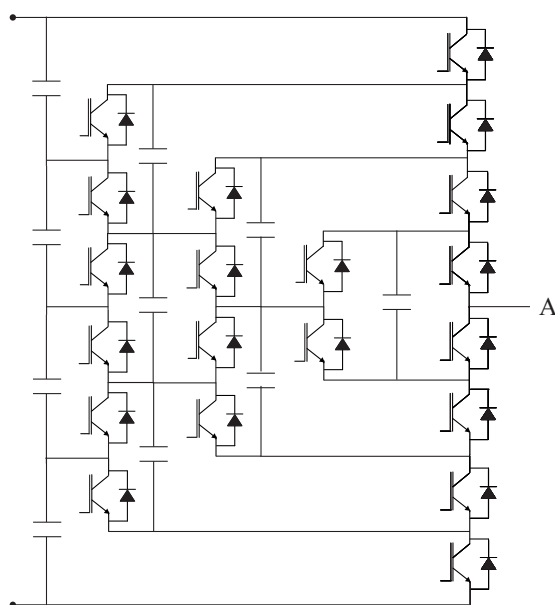


Figura 1.11: Generalização do braço de um inversor ANPC/FC.

Outra possibilidade de estrutura híbrida é obtida quando se utiliza diferentes valores nas fontes de alimentação ou das tensões nos capacitores de armazenamento. Por exemplo,

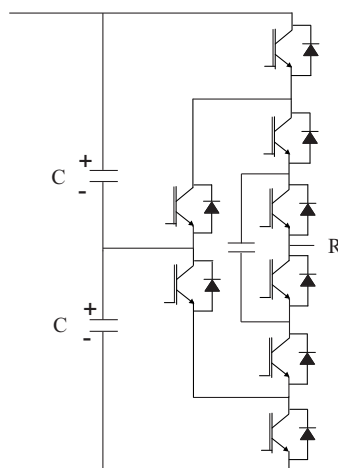


Figura 1.12: Braço de um inversor ANPC/FC de cinco níveis com redução de componentes.

quando o capacitor flutuante do inversor da Fig. 1.6 é substituído por uma fonte fixa, de valor diferente da metade da tensão do barramento c.c., o número de níveis de tensão aumenta, para um mesmo número de dispositivos semicondutores (Kou, Corzine e Familiant, 2002). O mesmo ocorre quando as tensões das fontes isoladas da estrutura em cascata da Fig. 1.3 têm valores diferentes (Manjrekar e Lipo, 1998). Também, topologias híbridas foram concebidas a partir da associação de diferentes tipos de dispositivos semicondutores (Manjrekar e Lipo, 1998).

Outra possibilidade, ainda, é a de gerar pontes inversoras híbridas para aplicações de alta tensão e alta potência utilizando braços de inversores multiníveis, tipo NPC (Ding et al., 2003), (Sneineh et al., 2006), FC/NPC (Zhang e Ruan, 2005) ou FC/ANPC (Li et al., 2009) para substituir os braços de uma ponte inversora de dois níveis, constantes da Fig. 1.3. As Figs. 1.13 a 1.16 ilustram essas pontes inversoras. Quando esses módulos são conectados em cascata, consegue-se um aumento do número de níveis com um número menor de fontes isoladas.

O número de componentes das pontes multiníveis acima pode ser reduzido quando um dos braços é substituído por uma estrutura de dois níveis, dando origem a uma hibridez quanto ao número de níveis em cada braço da ponte. A topologia meia ponte e NPC, indicada na Fig. 1.17, foi proposta em (Kai et al., 2004) e (Almeida et al., 2006). Uma variação, apresentada na Fig. 1.18 permite que dispositivos mais rápidos e de alta tensão operem em sinergismo. Essa topologia também permite a comutação de metade dos interruptores em baixa frequência (a da modulante), contribuindo, assim, com a redução das perdas (Silva

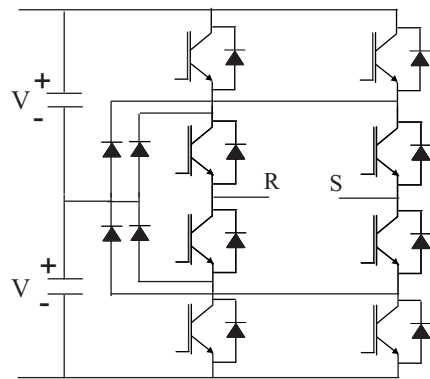


Figura 1.13: Ponte inversora NPC

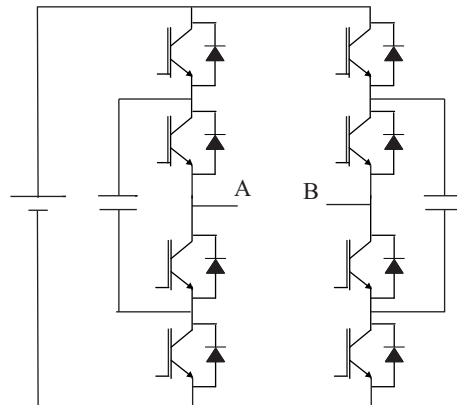


Figura 1.14: Ponte inversora FC

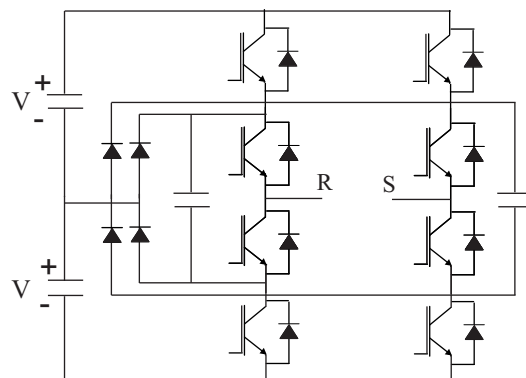


Figura 1.15: Ponte inversora NPC/FC

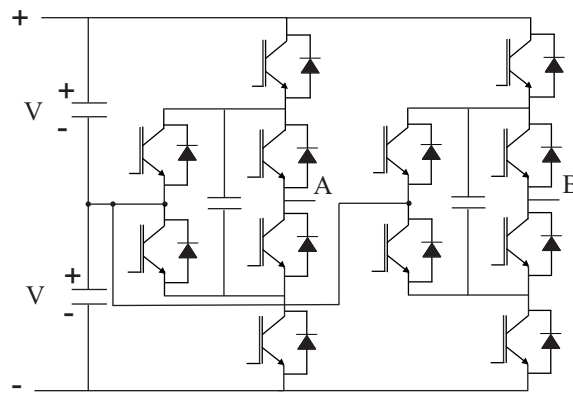


Figura 1.16: Ponte inversora ANPC/FC

et al., 2011).

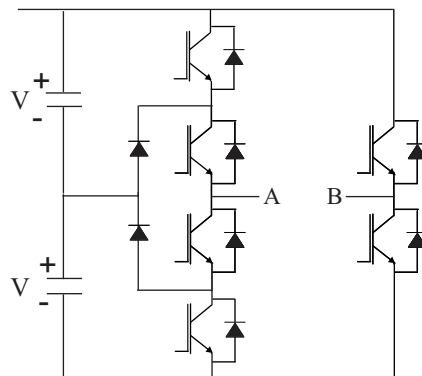


Figura 1.17: Ponte inversora NPC/meia-ponte

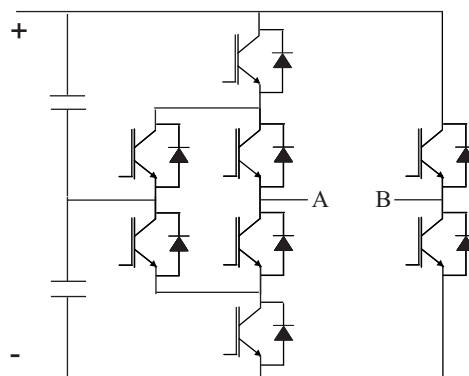


Figura 1.18: Ponte inversora ANPC/meia-ponte

Como se observa das Figs. 1.17 e 1.18, os dispositivos que compõem o braço de dois níveis suportam toda a tensão do barramento, o que limita sua potência de aplicação. Outras soluções que utilizam o mesmo princípio são ilustradas nas Figs. 1.19 (Ceglia et al., 2004), 1.20 (Oliveira Jr, Silva e Jacobina, 2006). Algumas soluções procuraram minorar este problema, como o inversor da Fig. 1.21 (Astudillo et al., 2008). As três topologias operam com

cinco níveis de tensão na saída. Entretanto, a topologia da Fig. 1.21 é capaz de manusear potências mais elevadas.

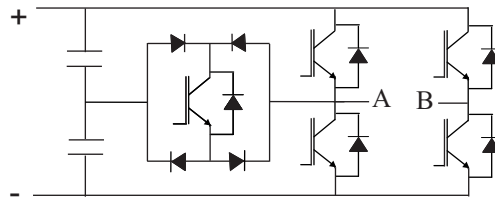


Figura 1.19: Inversor multinível de cinco níveis

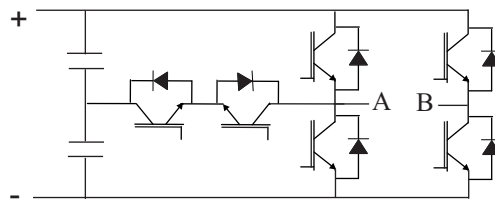


Figura 1.20: Inversor híbrido com número reduzido de componentes

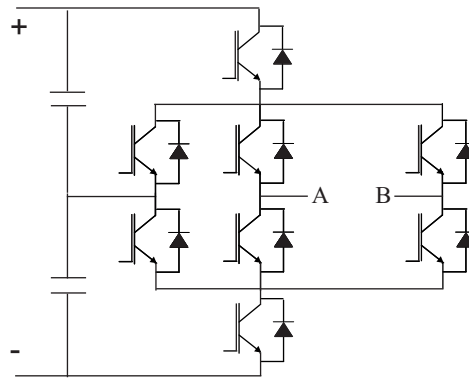


Figura 1.21: Inversor multinível híbrido simétrico

Ainda, o conceito de fonte multinível *c.c.* deu origem a inúmeras topologias híbridas e pode ser aplicado a muitas das topologias já mencionadas acima (Baek et al., 2005), (Lezana e Rodriguez, 2007), (Rosas-Caro et al., 2008), (Ruiz-Caballero et al., 2010), (Banaei e Salary, 2010), (Rodríguez-Rodríguez et al., 2011), (Najafi e Yatim, 2012), (Basha e Nayeemuddin, 2013), (K. Rachel, 2013).

Também, é possível obter topologias híbridas através da associação de conversores em ponte com componentes magnéticos como indutores e transformadores. É o caso de braços de pontes conectados através de reatores acoplados (Ueda et al., 1995; Matsui et al., 1996; Hausmann e Barbi, 2009; Vafakhah et al., 2010; Floricau et al., 2011; Ewanchuk et al., 2012)

Além disso o conceito de inversores modulares tem sido amplamente aplicado a inúmeras topologias, como pontes completas, resultando em inúmeros inversores híbridos (Hiller et al., 2009; Marquardt, 2010; Solas et al., 2013; Ilves et al., 2015; Nami et al., 2015).

Existem diferentes possibilidades de formação de inversores multiníveis trifásicos, cujos princípios serão discutidos a seguir. Uma primeira possibilidade é o de uma ponte inversora com uma fonte *c.c.* comum, ilustrado no esquema da Fig. 1.22(a). Um exemplo é a conexão de três braços de inversores NPC, formando a ponte com fonte comum de alimentação, como mostra a Fig. 1.22(b) (Teichmann e Bernet, 2003). Diferentes braços podem ser utilizados nesse arranjo, como é o caso da utilização de inversores ANPC, a capacitor flutuante, inversores modulares formados por meia-ponte (Lesnicar e Marquardt, 2003), por ponte completa, por uma combinação de ponte completa e meia-ponte (Feldman et al., 2012) e outros tipos (Nami et al., 2015).

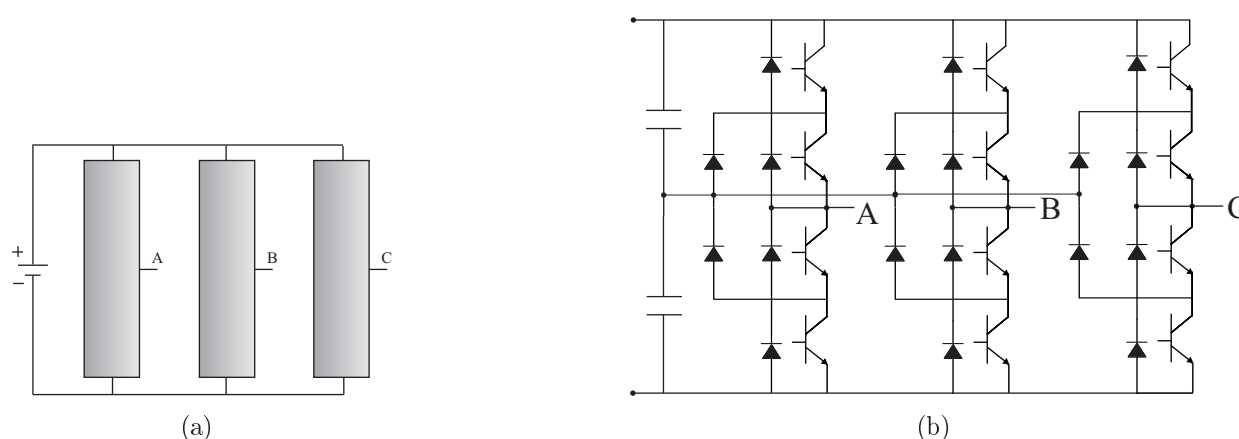


Figura 1.22: Ponte inversora com uma fonte *c.c.* comum: (a) Diagrama de blocos; (b) Topologia de três níveis para conversores de potência de baixa tensão.

Uma segunda possibilidade é o de um inversor formado por braços conectados em estrela, cujo esquema é indicado na Fig. 1.23(a). Um exemplo é o inversor ilustrado na Fig. 1.23(b) em que a ponte mostrada na Fig. 1.18 forma um dos braços da conexão em estrela (E Silva, 2012). Outros exemplos são o caso do uso dos inversores constantes das Figs. 1.17 (Ding et al., 2003), 1.20 (Tang et al., 2009) e 1.21 (Carmona et al., 2008). Também, é o caso de pontes em cascata formando o braço, como ilustrado na Fig. 1.23(c) (Lai e Shyu, 2002).

O princípio ilustrado na Fig. 1.24(a) é o de uma fonte multinível alimentando um inversor convencional de dois níveis. Uma realização deste princípio é mostrada na Fig. 1.24(b) (Su

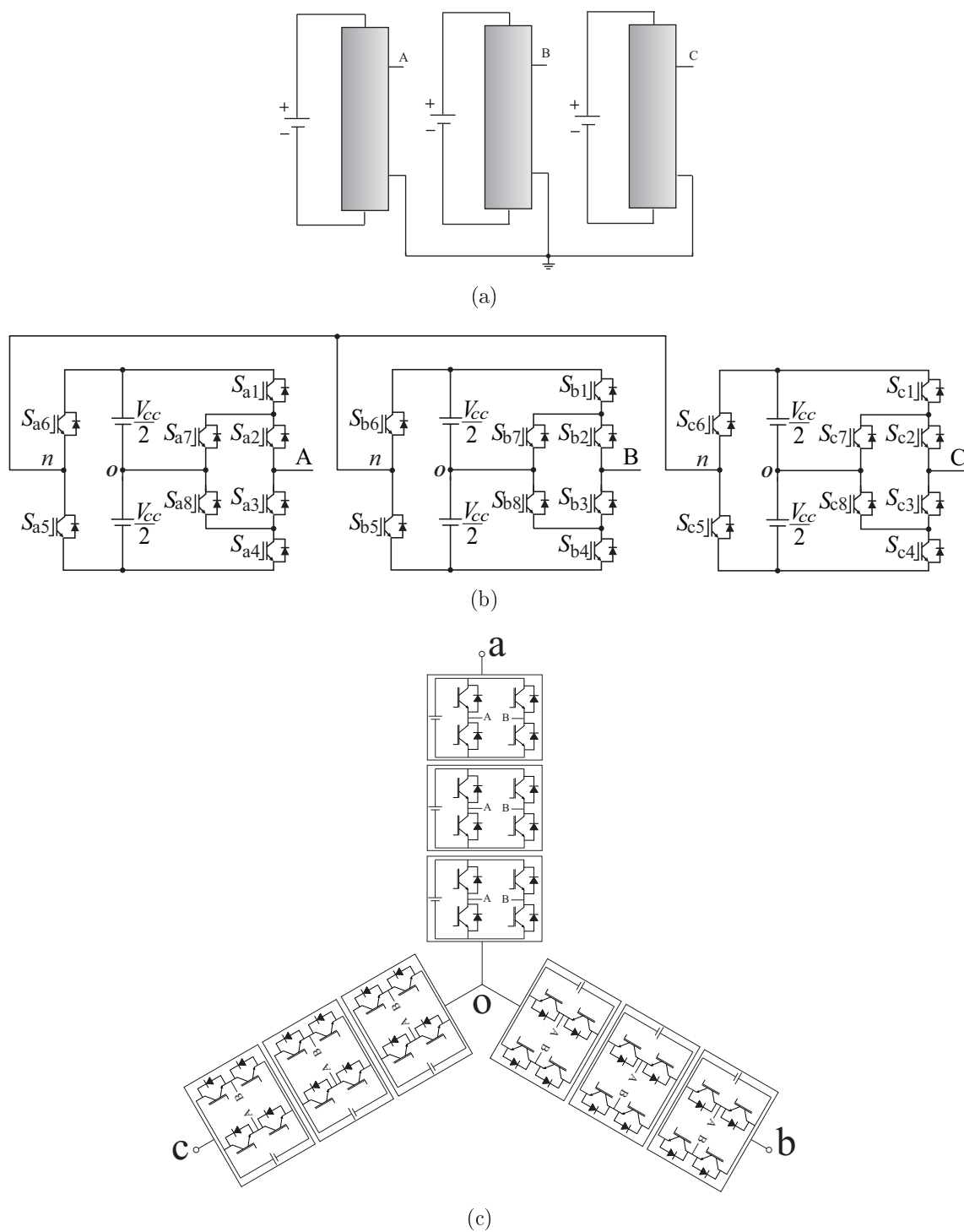


Figura 1.23: Inversores formado por braços conectados em estrela: (a) Diagrama de blocos; (b) Inversor trifásico meia-ponte/ANPC; (c) braço formado por pontes em cascata.

e Adams, 2001).

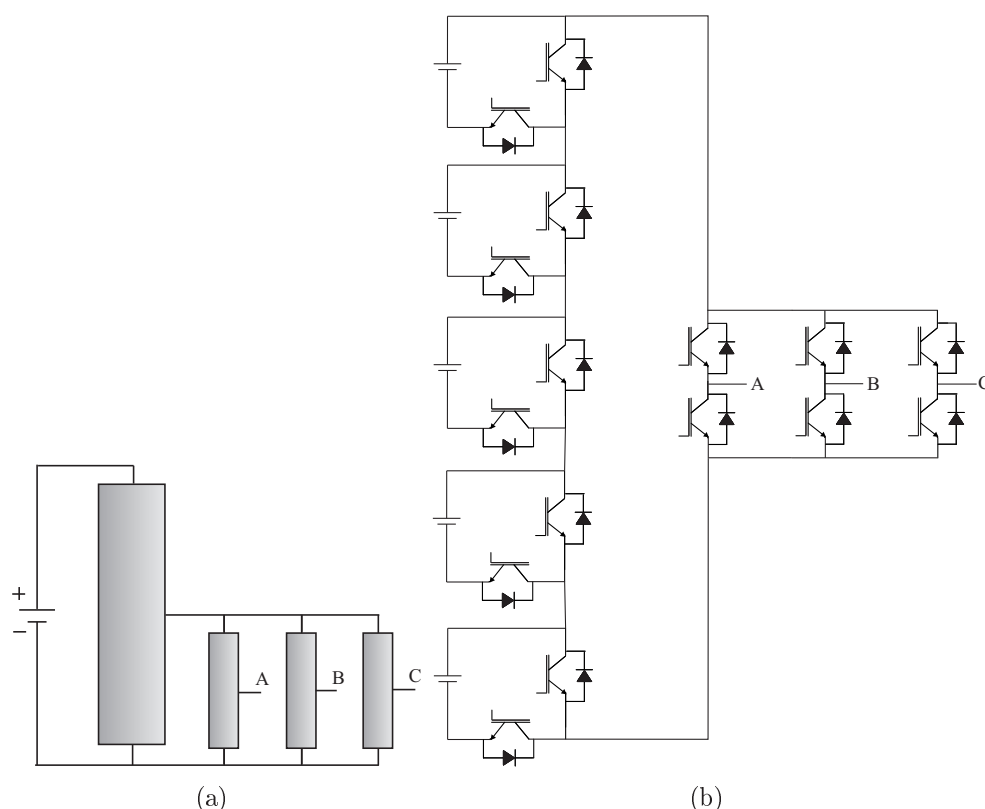


Figura 1.24: Fonte multinível alimentando um inversor convencional: (a) Diagrama de blocos; (b) Inversor com fonte Multinível.

No esquema da Fig. 1.25(a), um dos braços é de nível maior do que os outros dois. No exemplo da Fig. 1.25(b), o inversor, nomeado como 2/3 níveis (Mihalache, 2006), é formado por um braço ANPC de três níveis e dois braços de dois níveis. Este caso, também pode ser considerado como originário da adição de mais uma fase da ponte monofásica ilustrada na Fig. 1.21 (Astudillo et al., 2008).

Outras possibilidades resultam da combinação de pontes trifásicas, associação de pontes monofásicas H e transformadores. Exemplos são dados em (Veenstra e Rufer, 2003).

1.2.2 Técnicas de Modulação para Inversores Multiníveis

Com o aumento do número de semicondutores nas estruturas de inversores objetivando melhorar a qualidade da tensão de saída; reduzir as perdas do inversor; e realizar o balanceamento de tensão entre os capacitores do barramento *c.c.*; Diversas técnicas de modulação e estratégias de controle têm se desenvolvido. Várias são as estratégias discutidas e utilizadas

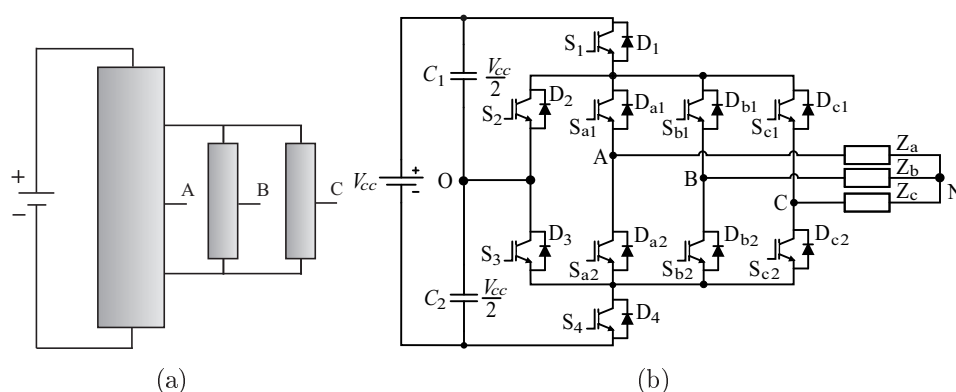


Figura 1.25: Inversores trifásicos com um dos braços de nível maior: (a) Diagrama de blocos; (b) Inversor Híbrido de 2/3 níveis.

na literatura técnica para o comando dos inversores de tensão multiníveis. Embora, cada uma delas tenha suas características e vantagens próprias, a seleção da melhor estratégia baseia-se na satisfação de vários fatores (dos Santos, 2005):

- Menor conteúdo harmônico nas tensões e nas correntes de saída
- Menor ruído acústico e interferência eletromagnética provocados pelo inversor no sistema.
- Menores perdas por comutação e em condução.
- Operação na região de sobremodulação.

Nos anos 60, as tensões de saída dos inversores multiníveis tinham a forma de degraus de diferentes níveis, obtidos pela soma das saídas de vários inversores operando em paralelo através do defasamento das mesmas entre si (Flairty, 1962). Em 1977 foi desenvolvida uma técnica de modulação em degrau, aplicada a um inversor de três níveis a transistores (Baker, 1977a; Baker, 1977b). Em 1983, com o objetivo de controlar a tensão de saída foi concebido o primeiro controle de um inversor em três níveis usando uma forma de onda triangular, a técnica PWM uniforme, em que a modulante é um sinal constante (ou uma onda quadrada na frequência de saída) e os pulsos gerados são equidistantes e de largura constante. Sabe-se que com um número suficiente de pulsos por ciclo o conteúdo harmônico de uma forma de onda modulada se aproxima da envoltória (Patel e Hoft, 1974). Entretanto, para harmônicos de ordem mais elevada, é necessário um grande número de pulsos, para obter uma redução apreciável de harmônicos (Maz, 1997).

Em 1988, duas estratégias PWM para inversores de três níveis foram desenvolvidos a partir de dois métodos clássicos para inversores de dois níveis. O primeiro método, o PWM otimizado ou pré-calculado, utiliza cálculos fora de operação, de acordo com os conteúdos harmônicos ou outros critérios como otimização, eliminação de harmônicos e outros, que são armazenados para serem reproduzidos em operação (Patel e Hoft, 1974; Bowes e Bird, 1975; Buja e Indri, 1977). O segundo método, o método PWM sub-harmônico, desenvolvido em 1964 para inversores de dois níveis e hoje também conhecido com PWM por portadora, é uma estratégia baseada na intersecção em tempo real de uma modulante senoidal com uma portadora triangular (Schönung e Stemmler, 1964). Em 1981 foi feita uma generalização do método sub-harmônico para operações com o índice de modulação maior que um ($m > 1$), tanto para modulações de dois níveis como modulações de três níveis (Mazzucchelli et al., 1981). Em 1988, na versão de três níveis, foram utilizadas duas modulantes senoidais e uma portadora triangular, a técnica sendo nominada pelos autores como dipolar (Velaerts et al., 1988).

Uma outra abordagem da técnica PWM por portadora foi concebida em 1992, de forma generalizada, para controle de inversores de três níveis ou mais níveis, monofásicos, ou trifásicos. Essa técnica consiste no uso de uma modulante senoidal e de $N - 1$ portadoras triangulares (Carrara et al., 1992). Os dois tipos mais interessantes de disposição das portadoras são discutidos: a) aquela com deslocamento de fase (*Phase-Shifted Pulse Width Modulation* - PSPWM) e (b) aquela com deslocamento de nível (*Level-Shifted Pulse Width Modulation* - LSPWM).

A Modulação por Largura de Pulso com Deslocamento de Fase, utiliza duas portadoras triangulares defasadas em cento e oitenta graus, para aplicações em inversores de três níveis (Carrara et al., 1992). A vantagem dessa técnica de modulação é a simplicidade de sua implementação, além de ela permitir o balanceamento natural das tensões nos capacitores flutuantes. Como desvantagem pode-se citar a Distorção harmônica Total (DHT) da tensão de saída apresentada em inversores que utilizam esta modulação, principalmente para aplicações que utilizam baixos índices de modulação (Floricaud et al., 2009). Outra limitação desta técnica é que ela não pode ser aplicada ao inversor NPC. Para superar esta desvantagem é que foram desenvolvidas outras técnicas utilizando duas portadoras defasadas em níveis de tensão, as de Modulação por Largura de Pulso com Deslocamento de Nível. Depen-

dendo da disposição das triangulares e seu defasamento no tempo, esta modulação pode ser dividida em três tipos distintos: PD (*Phase Disposition*, do inglês, em fase), POD (*Phase-Opposition Disposition*, do inglês, disposição em oposição de fase) (Carrara e Marchesoni, 1992), e APOD (*Alternate Phase-Opposition Disposition*, do inglês, disposição em oposição com alternância de fase) (E Silva, 2012).

Ainda em 1988 surgiu a aplicação da modulação vetorial (VSM) aos conversores multiníveis (Steinke, 1988). Depois ela foi estendida e generalizada para N níveis (Kouro et al., 2010). Uma característica comum a todas às técnicas de modulação vetorial é que este algoritmo é dividido em três estágios: no primeiro, é definido o estado das chaves ou vetor a ser utilizado para a modulação, o qual usualmente é um dos três vetores mais próximos da referência; no segundo estágio são definidos os tempos de condução e bloqueio das chaves; e no terceiro estágio é definida a sequência na qual os vetores são gerados (McGrath e Holmes, 2002). Diferentes contribuições têm sido reportadas no sentido de tornar mais eficiente alguns desses três estágios (Gopinath et al., 2009). Entretanto, algumas técnicas foram introduzidas para empregar a modulação vetorial de modo algébrico (Seixas et al., 2000).

As modulações por portadora e vetorial têm sido as mais empregadas e estudadas. O estabelecimento das primeiras relações entre as duas técnicas ocorreram no início do século XXI (Wu e He, 2001). Para inversores de dois níveis, obteve-se o mesmo desempenho conseguido com a modulação vetorial, empregando uma modulação híbrida, divulgada em (Blasko, 1996). Essa técnica híbrida usa um sinal de sequência zero com o triplo da frequência das tensões de referência como o termo de tensão comum. A modulação por portadora (CB-PWM) pode produzir os mesmos resultados da modulação vetorial (SV-PWM) quando um sinal adequado de sequência zero é injetado nas tensões de referência (Wu e He, 2001). Também, pode diminuir as oscilações nas correntes, estender a região de linearidade (sobremodulação), reduzir a frequência de comutação média, assim como, diminuir os harmônicos de corrente (Lee et al., 1999). A técnica permite efetuar algebricamente os cálculos para determinação dos vetores de tensão e seus tempos de aplicação a partir da estratégia de comando vetorial, diminuindo a complexidade e o tempo das operações. Essa técnica híbrida é interessante para o comando de inversores multiníveis devido ao fato de estes terem um número elevado de vetores de tensão, o que aumenta a dificuldade de implementação da estratégia

SV-PWM convencional. Uma generalização dessa técnica foi introduzida posteriormente em (de Oliveira et al., 2004) e pode ser facilmente adaptada a diferentes topologias.

Como visto, existem diferentes tipos de inversores híbridos. Uma visão geral dos métodos de modulação aplicados a inversores híbridos multiníveis é apresentada em (Chandwani e Matnani, 2012). É visto que para alguns inversores híbridos as técnicas clássicas PWM podem ser aplicadas de forma direta, enquanto para outras topologias são necessárias algumas modificações e adaptações (Radan et al., 2007; Aghdam et al., 2008; Rech e Pinheiro, 2007).

Além do desenvolvimento dos métodos de modulação, alguns pontos específicos como redução da tensão de modo-comum, detecção de faltas e balanceamento das tensões dos capacitores do barramento c.c. são igualmente importantes. Destes tópicos, o problema mais conhecido é o de desbalanceamento das tensões dos capacitores de inversores multiníveis como o NPC (Kouro et al., 2010). Particularmente, o desbalanceamento em inversores de três níveis NPC, foi extensivamente estudado e inúmeras soluções foram reportadas (Rodriguez et al., 2009).

Geralmente, o controle da tensão do barramento capacitivo dos inversores multiníveis é feito utilizando técnicas em malha fechada. No entanto, existem alguns métodos que empregam circuitos auxiliares. Uma dessas técnicas, apresentada por (Von Jouanne et al., 2002), é a conexão ao ponto central do barramento de um indutor L que transfere a carga excedente de um capacitor para outro, mantendo as tensões equilibradas. Esta solução é muito utilizada em fontes UPS para manter balanceadas as tensões nas baterias. Outra maneira de manter os valores das tensões nos capacitores c.c. iguais é utilizando, na entrada do retificador, um transformador com dois enrolamentos no secundário, ligados cada um a uma ponte retificadora e a um capacitor do barramento. Os dois enrolamentos devem garantir a mesma tensão em cada um dos capacitores caso não sejam utilizados interruptores controlados nas pontes retificadoras. Para inversores NPC de quatro ou mais níveis e em diversas outras topologias, o controle da tensão do barramento não pode ser conseguido com técnicas convencionais, sendo um dos pontos que vem exigindo bastante atenção por parte de pesquisadores (Kouro et al., 2010).

1.3 Empilhamento de Células Dois Níveis

A classificação dos conversores multiníveis segundo (Kouro et al., 2010), é ilustrada na Fig. 1.26. Essa classificação é baseada nos principais tipos de topologias: Multinível em Matriz (MM), com Capacitor Flutuante (FC), com Ponto Neutro Grampeado (NPC), em Cascata e Híbridas. Cada classe engloba diferentes topologias de conversores, cobrindo a maioria das topologias discutidas. Entretanto, não observa alguns pontos levantados na revisão bibliográfica efetuada acima. Por exemplo, não considera na classe de topologias híbridas a fusão de dois princípios diferentes como o ANPC e FC; esse caso é mostrado como uma possibilidade de conexão entre os dois conversores. Existem outras classificações mais específicas. Por exemplo, em (Mariethoz e Rufer, 2004), foi proposta uma classificação dos conversores conforme seu nível de hibridez. Estes seriam divididos em três categorias:

- Inversores conectados em série, com a mesma topologia e diferentes tensões de alimentação;
- Inversores conectados em série, com diferentes topologias e diferentes tensões de alimentação;
- Conversores de naturezas diferentes conectados em série, com diferentes topologias e diferentes tensões de alimentação.

Devido à infinidade de combinações que pode ser obtida por meio de conexão em cascata de conversores, em (Batschauer et al., 2010) é apresentada uma abordagem genérica para interconexão de células, sendo elas:

- Associação de células monofásicas com número de níveis distintos;
- Associação de células trifásicas e monofásicas;
- Associação de duas células trifásicas
- Associação de células de conversores utilizando componentes magnéticos como indutores e transformadores

Levando em consideração o que foi considerado como topologia híbrida, no estudo anterior, estas classificações não são satisfatórias. Embora, não seja objetivo deste trabalho estabelecer uma classificação completa dos conversores, alguns aspectos serão estabelecidos a seguir, nesse sentido.

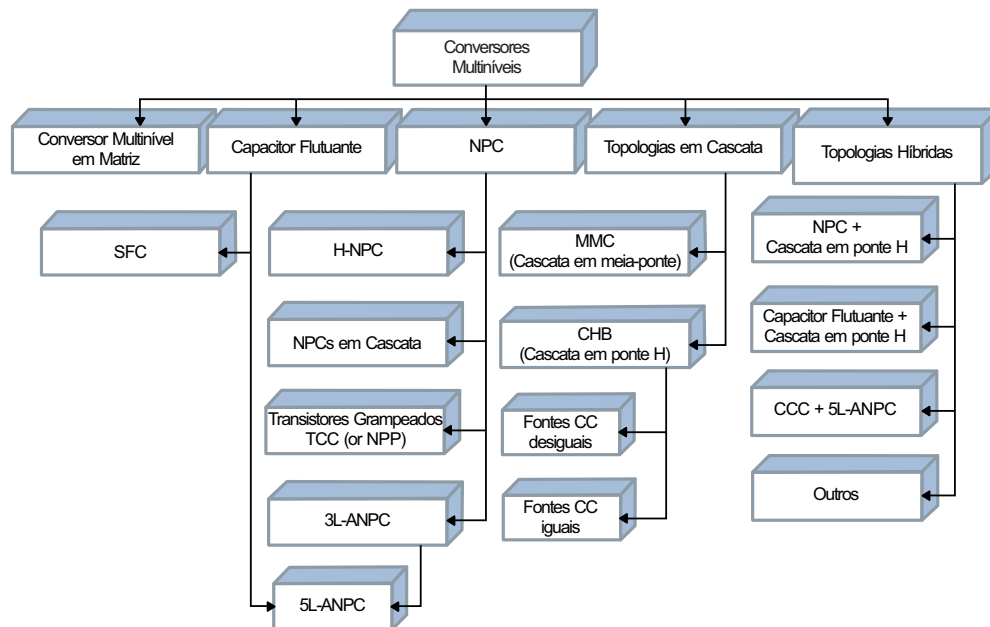


Figura 1.26: Classificação de Kouro et al. (2010)

Foi mostrado em (dos Santos e da Silva, 2014) que é possível gerar as diferentes topologias de inversores multiníveis utilizando diferentes conexões de células de dois níveis. Estas células podem ser formadas por diversos tipos de chaves, nas quais são classificadas tomando por base as seguintes características estáticas e dinâmicas:

- Disparo e desligamento não-controlados (diodos);
- Disparo controlado e desligamento não-controlado (SCR);
- Disparo e desligamento controlados (BJT, MOSFET, GTO, IGBT, SIT, MCT);
- Necessidade de sinal contínuo na porta (BJT, MOSFET, IGBT, SIT);
- Necessidade de pulso de gatilho na porta (SCR, GTO, MCT);
- Capacidade de suportar tensão bipolar (SCR, GTO);
- Capacidade de suportar tensão unipolar (BJT, MOSFET, IGBT, MCT);

- Capacidade de condução de corrente bidirecional (TRIAC, RCT);
- Capacidade de condução de corrente unidirecional (SCR, BJT, MOSFET, GTO, IGBT, SIT, MCT, diodo);

As células indicadas na Fig. 1.27 são: do tipo *c.c.* (não-controlada, unidirecional em corrente), formada por dois diodos, Fig. 1.27(a); do tipo *c.c.* misto (semi-controlada, unidirecional em corrente), formada por um diodo e um interruptor ativo e que podem ser do tipo *c.c.* positivo ou *c.c.* negativo, como ilustram as Figs. 1.27(b) e 1.27(c); do tipo *c.a.* (totalmente controlada, bidirecional em corrente), formada por dois interruptores ativos, Fig. 1.27(d); e do tipo bidirecional (totalmente controlada, bidirecional em corrente e tensão), também formada por dois interruptores ativos, como ilustra a Fig. 1.27(e).

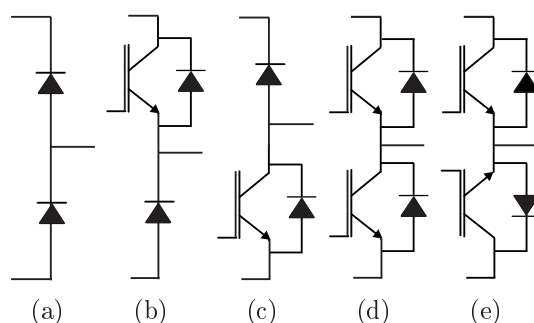


Figura 1.27: Células de dois níveis: (a) célula *c.c.*; (b) célula *c.c.* positiva; (c) célula *c.c.* negativa; (d) célula *c.a.*; (e) célula bidirecional

As células da Fig. 1.27 podem ser conectadas, individualmente, a fontes isoladas, ou, indiretamente, a um barramento *c.c.*. Além disso, elas podem estar, ou não, conectadas a um capacitor dito de armazenamento. A associação, de diferentes modos, dessas possibilidades é capaz de gerar conversores multiníveis com variáveis *c.c.* ou *c.a.* de saída. Para uma melhor visualização, as fontes isoladas serão aqui representadas por uma bateria.

O empilhamento de células é uma dessas possíveis associações. O esquema de duas células *c.a.* empilhadas, com o uso da célula da Fig. 1.27(d), é mostrado na Fig. 1.28(a), sua topologia para mais níveis sendo indicada na Fig. 1.28(b). Já na Fig. 1.29 é mostrado o empilhamento de duas células *c.c.*, uma do tipo positivo e outra do tipo negativo.

A seguir serão mostradas como essa técnica pode ser a origem topologias consideradas como bem diversas, na literatura técnica existente.

Considere-se na Fig. 1.28(a), inicialmente, a conexão de V_1 e V_3 a um barramento *c.c.* e de um capacitor de armazenamento entre os terminais A e B, a saída sendo obtida através do terminal V_2 , como indica a Fig. 1.30(a). A topologia resultante é a de um inversor FC, já indicado na Fig. 1.6. A generalização deste inversor a partir da Fig. 1.28(b) é indicada na Fig. 1.30(b). Esta topologia pode ser vista como o resultado do embricamento de células *c.a.*, uma das quais tem um dos terminais de um capacitor de armazenamento conectado a um de seus terminais.

Considere-se, agora, que no empilhamento da Fig. 1.28(a), dois capacitores são conectados, um entre V_1 e V_2 e ou outro entre V_2 e V_3 , enquanto uma tensão de barramento é conectada entre V_1 e V_3 . Existem duas possibilidades de obtenção de uma tensão *c.a.* a partir dos terminais A e B:

- Conexão dos terminais através de uma célula *c.a.* - Esta conexão é mostrada na Fig. 1.31(a) e corresponde ao inversor ANPC; sua aplicação a um inversor de cinco níveis é ilustrada na Fig. 1.31(b), idêntico à topologia da Fig. 1.8(b); a aplicação de uma célula *c.a.* ao empilhamento da Fig. 1.29 resulta no inversor NPC de três níveis, já mostrado na Fig. 1.4(a); sua generalização é obtida com a combinação das células *c.c.*, *c.c.* positiva e *c.c.* negativa das Figs. 1.27(a), 1.27(b) e 1.27(c), respectivamente, e corresponde à topologia da Fig. 1.7;
- (2) Conexão dos terminais através de uma célula *c.a.* com um capacitor de armazenamento entre seus terminais - Esta conexão é ilustrada na Fig. 1.32 e corresponde ao inversor ANPC/FC de três níveis. Sua versão multinível corresponde à topologia da Fig. 1.11, que, como mencionado, pode ser classificada como uma topologia híbrida ANPC/FC; o mesmo princípio aplicado à mesma conexão feita empilhamento da Fig. 1.29 gera o conversor híbrido NPC/FC de três níveis, da Fig. 1.10, cuja versão multinível é apresentada na Fig. 1.33;

Uma outra forma de se obter uma tensão *c.a.* a partir dos terminais A e B é através do empilhamento de células com diferentes tipos de chaves como indica a Fig. 1.34(a), onde são empilhadas células do tipo *c.c.* positiva e negativa com IGBTs e uma célula com transistor BJT. Percebe-se que através do curto-circuito dos terminais A e B resulta em uma chave bidirecional entre os pontos V_2 e A. Substituindo a chave bidirecional, pela

chave bidirecional formada por IGBTs da Fig. 1.27(e), resulta no inversor NPC Tipo II da Fig. 1.4(b). Através do empilhamento de um número maior de células, realizando um curto-circuito nos seus terminais pode-se chegar a topologia da Fig. ??, que corresponde à versão moderna do inversor de Bhagwat, da Fig. 1.5(a), que pode ser chamado de Nest.

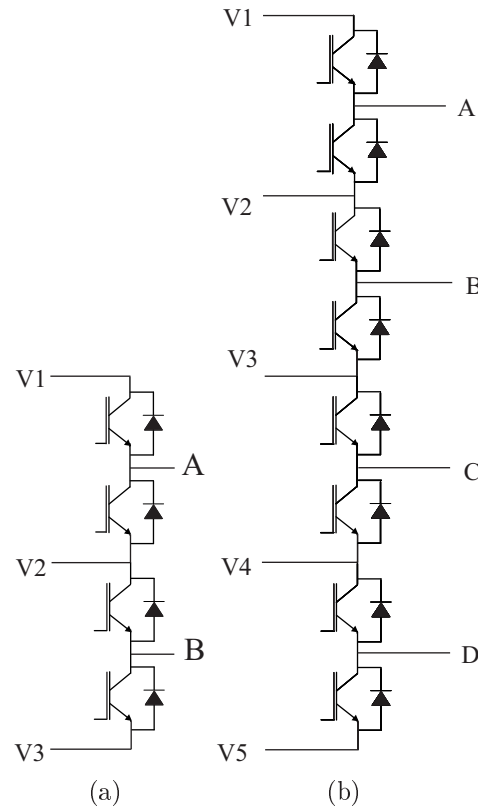


Figura 1.28: Empilhamento de células *c.a.*: (a) empilhamento de duas células; (b) empilhamento de quatro células para geração de mais níveis

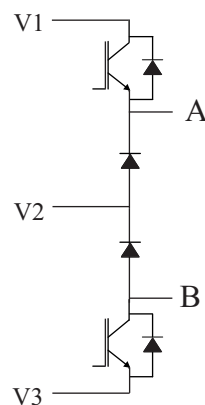


Figura 1.29: Empilhamento de duas células *c.c.* do tipo positivo e negativo

As pontes híbridas simétricas e assimétricas apresentadas nas Figs. 1.13 a 1.18, podem ser reproduzidas a partir das Figs 1.35(a) e 1.35(b), obtidas a partir da Fig. 1.28(b), sem e

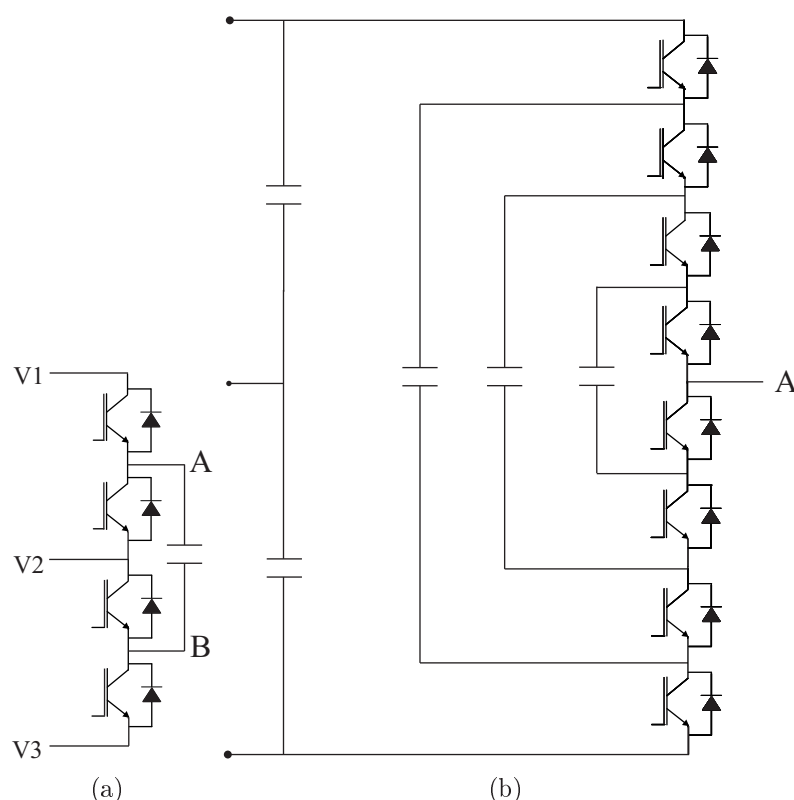


Figura 1.30: Topologia FC obtidas pelo empilhamento de células *c.a.*: (a) braço FC; (b) generalização do FC.

com redução no número de componentes.

Este estudo mostra que topologias sem aparente relação possuem uma origem comum como é o caso da topologia de Bhagwat, indicada na Fig. 1.5(a). A Fig. 1.36 mostra uma classificação que permite levar esta nova constatação em consideração. Ela se restringe, entretanto, aos inversores fonte de tensão e, por isso, não inclui os inversores multiníveis matriciais, fonte de corrente e fonte Z.

As topologias empilhadas são compostas de estruturas FC, NPC, ANPC e Nested. As topologias em ponte incluem a versão mais básica da ponte, tipo H, simétrica, e a assimétrica. A topologia em cascata engloba a estrutura composta por várias estruturas meia-ponte conectadas em série, seja com cada meia-ponte alimentada por uma fonte isolada ou por um capacitor de armazenamento havendo um barramento *c.c.* (inversor modular básico). Embora a configuração dita em cascata tenha sido originalmente empregada para a conexão série de pontes monofásicas tipo H, esse tipo é aqui considerado como parte da classe topologias híbridas, que contém muitas possibilidades. Uma lista-tentativa dessas possibilidades é dada a seguir:

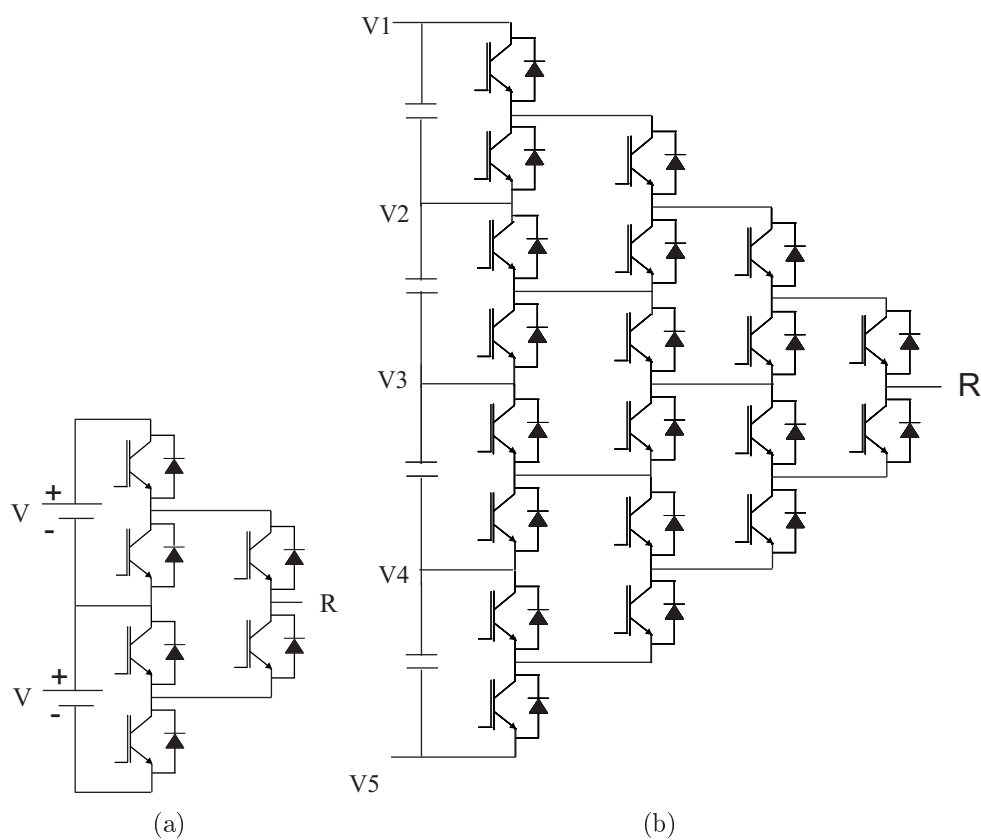


Figura 1.31: Topologia ANPC obtidas pelo empilhamento de células *c.a.*: (a) braço ANPC; (b) generalização do ANPC.

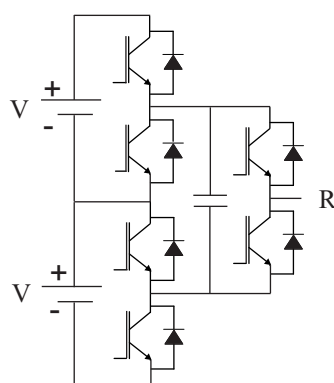


Figura 1.32: Braço de inversor ANPC/FC

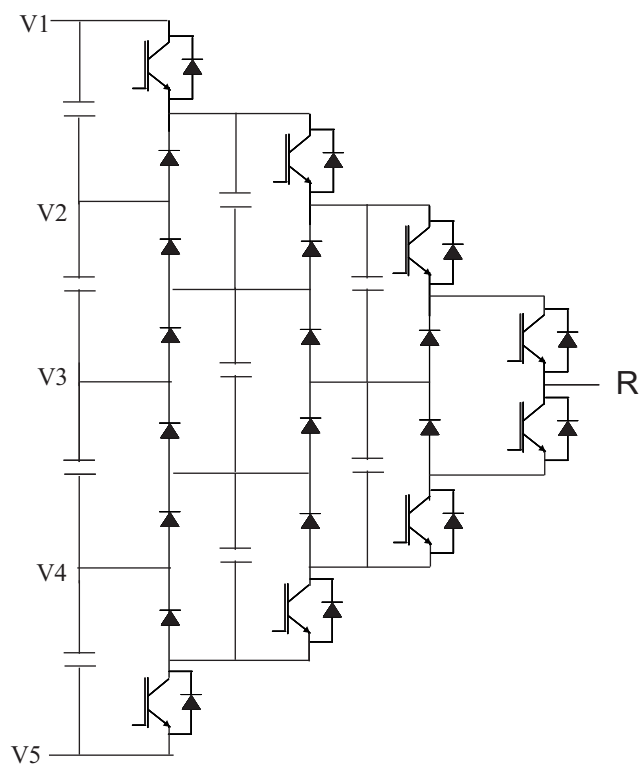


Figura 1.33: Inversor NPC/FC de cinco níveis

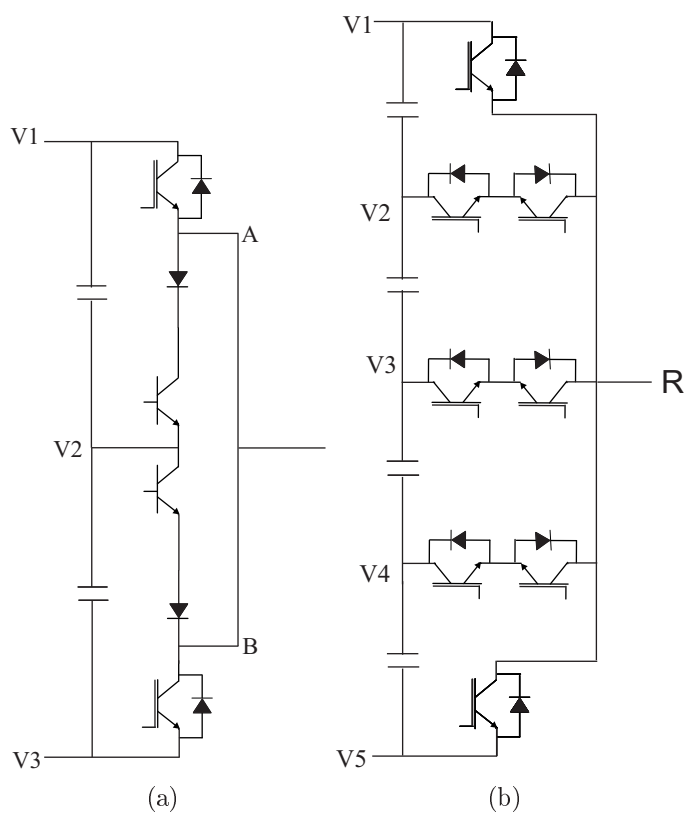


Figura 1.34: Topologia Nested: (a) Inversor NPC tipo II; (b) Nested de cinco níveis.

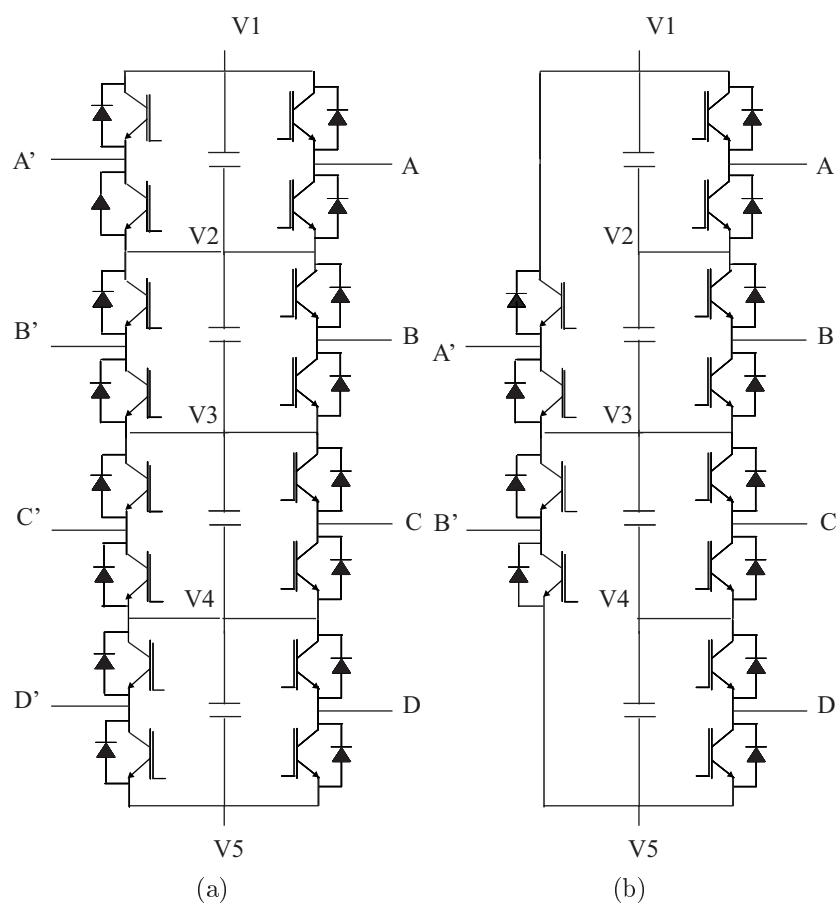


Figura 1.35: Pontes híbridas: (a) simétrica; (b) assimétrica.

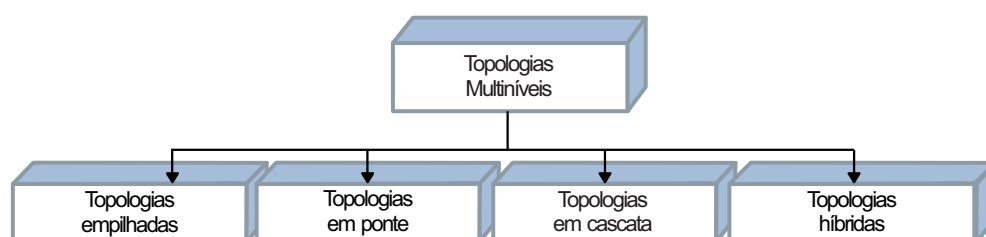


Figura 1.36: Classificação de topologias multiníveis fonte de tensão

- Utilização de diferentes valores nas fontes de alimentação ou das tensões nos capacitores de armazenamento;
- Utilização de braços com um mesmo número de níveis e com números diferentes de níveis, em pontes multiníveis;
- Associação de conversores em ponte com componentes magnéticos, como indutores e transformadores;
- Associação de diferentes tipos de dispositivos semicondutores em uma estrutura;
- Conexão em série de uma mesma topologia com diferentes tensões de alimentação;
- Conexão em série de diferentes topologias com diferentes tensões de alimentação;
- Conversores de naturezas diferentes conectados em série, com diferentes topologias e diferentes tensões de alimentação;
- Associação de módulos monofásicos com número de níveis distintos;
- Associação de módulos trifásicos e monofásicos;
- Associação de dois módulos trifásicos.

As topologias multiníveis, possibilitam a redução da tensão sobre cada um destes dispositivos. Contudo, o uso de uma quantidade maior de interruptores aumenta o custo final do inversor. Com isso, uma estrutura mais complexa de inversor multinível pode necessitar de um número maior de componentes e circuitos eletrônicos auxiliares (circuitos de proteção contra curto-circuito, técnicas para compatibilidade eletromagnética, circuitos para aquisição de sinais imunes a ruídos, etc.). Por isso, é de grande interesse os estudos de topologias multiníveis híbridas com número reduzido de componentes, além de novas técnicas de controle. Além disso, alguns pontos inerentes aos inversores multiníveis, tais como redução da tensão de modo-comum, tolerância à faltas e desbalanceamento das tensões dos capacitores, entre outros, precisam ser investigados.

1.4 Justificativa e Contribuições do Trabalho

Considerando-se, inicialmente, a topologia da ponte assimétrica formada por um braço de três níveis e por outro de dois níveis, como indicam as topologias das Fig. 1.17 e 1.18. Além do uso de braços NPC e ANPC de três níveis, só há um estudo recente em que o capacitor flutuante de um braço FC é substituído por uma fonte *c.c.* (Babaei et al., 2014). Não foi encontrado na literatura técnica, o uso das topologias híbridas NPC/FC ou ANPC/FC na formação de pontes assimétricas. Entretanto, o estudo em (Suh e Hyun, 1997) assinala como vantajosa, na topologia inversora NPC/FC, a redução da flutuação de tensão no ponto neutro *c.c.* e a manutenção das tensões de bloqueio nos terminais dos dispositivos em bloqueio, apesar do acréscimo de componentes.

Como se observa das Figs. 1.17 e 1.18, os dispositivos do braço de dois níveis recebem toda a tensão do barramento, o que limita a potência manuseada pela ponte. Na topologia apresentada em (Astudillo et al., 2008), Fig. 1.21, os dispositivos do braço de três níveis bloqueiam uma tensão máxima que é metade da tensão do barramento *c.c.*, enquanto a tensão bloqueada pelos dispositivos da ponte é a tensão do barramento *c.c.*, de modo que este é um problema a resolver. É possível que essa diferença de tensão favoreça a escolha de dispositivos à base de carboneto de silício ou nitreto de gálio para tais localizações enquanto os outros dispositivos podem ser convencionais. Isto pode ser interessante para a "esquecida" topologia de Bhagwat, Fig. 1.5(a), que pode ser chamada de Nested (aninhado, em português) devido ao fato de que seus interruptores internos parecerem estar "aninhados" dentro do braço mais externo. A comparação dessa topologia, para quatro níveis, com as topologias do NPC, derivadas das duas versões das Figs. 1.5(b) e 1.7, do ANPC, derivada da versão da Fig. 1.8(b), ANPC/FC, derivada da Fig. 1.11 e FC, derivada da Fig. 1.30(b), mostra que ela possui um número de componentes (seis interruptores com diodos em antiparalelo) mais baixo do que as outras estruturas, com exceção do inversor FC, que necessita, entretanto de capacitores flutuantes. Sua desvantagem, portanto, está ligada a distribuição desigual dos esforços de tensão, valendo a pena o seu estudo mais aprofundado.

Ainda, de um modo geral, uma estrutura mais complexa de inversor multinível necessita de estratégias de controle mais sofisticadas do que aquelas empregadas em conversores de dois níveis. Com o aumento do número de níveis do inversor aumenta também a quantidade de

interruptores, ou seja, há um aumento na quantidade total de possibilidades dos estados de condução e bloqueio. Isto torna os cálculos mais complexos nas técnicas vetoriais aplicadas aos inversores multiníveis. Nesse aspecto, a proposição de novas técnicas e/ou simplificação de técnicas híbridas de modulação já existentes, que aliam a simplicidade de implementação da modulação senoidal com alguns dos benefícios da modulação vetorial, são de grande importância. Por exemplo, na topologia da Fig. 1.21 foi utilizada uma modulação para um inversor de três braços, como um inversor trifásico (Astudillo et al., 2008). Na técnica de modulação empregada, o modulador é composto de três senoides defasadas de 120 graus entre si comparadas com duas portadoras defasadas de 180 graus. Já a topologia apresentada na Fig. 1.25(b) pode ser vista resultante da adição de um terceiro braço à topologia da Fig. 1.21, podendo, também, ser vista como um inversor trifásico composto de um braço ANPC de três níveis e dois braços de dois níveis. Essa topologia, em sua versão trifásica, pode ser classificada como pertencente ao grupo de inversores multiníveis simétricos híbridos. Ela fornece um maior número de níveis do que um conversor de dois níveis convencional, usando quatro chaves adicionais. Utiliza uma modulação de dois e três níveis simultaneamente, modulando dois braços em três níveis e um braço em dois níveis. Entretanto, diferentemente do inversor proposto por (Astudillo et al., 2008), utiliza um algoritmo bastante complexo em sua operação PWM (Mihalache, 2006).

De acordo com as considerações feitas anteriormente, objetiva-se com este trabalho, o estudo de diferentes configurações de inversores multiníveis, onde estes apresentam diferentes princípios de operações, originadas através do empilhamento de célula de dois níveis. Basicamente são inversores que podem ser classificados como topologias empilhadas, Fig. 1.36, onde quatro topologias utilizam células NPC e ANPC e uma topologia utiliza o arranjo Nested.

Como principais contribuições, têm-se:

- Concepção de um inversor monofásico de quatro níveis em ponte utilizando um braço de dois níveis e um braço de três níveis;
- Estudo de um inversor que emprega o conceito do arranjo Nested (aninhado), onde são investigados inversores de quatro, cinco e seis níveis. É analisado seu comportamento empregando uma estratégia PWM híbrida, comparando-o a outras topologias

existentes;

- Desenvolvimento de um algoritmo de modulação simplificado para aplicação no inversor de $2/3$ níveis;
- Concepção de dois inversores multiníveis híbridos de cinco níveis baseado nas topologias meia-ponte e ANPC, no qual apresentam um melhor controle no balanceamento das tensões dos capacitores, reduzindo a quantidade fontes *c.c.* utilizadas pelo mesmo.

1.5 Organização do Trabalho

A apresentação do trabalho distribui-se da seguinte forma:

Capítulo 2 - Neste capítulo é apresentada a topologia intitulada de 2L3L. Trata-se, de um inversor monofásico de quatro níveis em ponte. Este inversor é composto de um braço de dois níveis e um braço de três níveis apresentando mesma tensão de bloqueio para todas as chaves. É feito um estudo comparativo entre a configuração proposta e o inversor convencional NPC de quatro níveis onde algumas vantagens da topologia proposta são observadas.

Capítulo 3 - É estudado o inversor denominado de Nested (do inglês, aninhado). Neste inversor, o ponto central de cada um dos braços são conectados ao mesmo ponto, com o braço externo envolvendo o interno. Esta topologia necessita de chaves bidirecionais em corrente para tornar possível seu correto funcionamento. É realizado o estudo comparativo do Nested de quatro níveis com outras topologias, sobretudo a topologia NPC de quatro níveis, elencando as principais vantagens e desvantagens entre elas. São analisadas ainda as topologias de cinco e seis níveis;

Capítulo 4 - É realizado o estudo do inversor de $2/3$ níveis, onde é proposto um algoritmo de modulação simplificado. Ainda neste capítulo é realizado o estudo comparativo entre a configuração de $2/3$ níveis, a topologia NPC de três níveis e o inversor de dois níveis convencional, onde são analisados os parâmetros relacionados a perdas totais, THD e WTHD;

Capítulo 5 - Neste capítulo são propostos dois inversores multiníveis baseado nas topologias meia-ponte e ANPC, que juntamente com a modificação do padrão de chaveamento, fornece um melhor controle no balanceamento das tensões dos capacitores, além de reduzir a quantidade de fontes *c.c.* utilizadas pelo mesmo. São analisados em detalhe os modos

de operação das topologias propostas, a estratégia de modulação empregada, assim como o estudo quantitativo das topologias.

1.6 Produção Gerada

A partir deste trabalho e dos desdobramentos de algumas questões relacionadas com o assunto tratado ao longo do texto foram publicados ou aceitos sete artigos de congressos (dos Santos et al., 2011), (dos Santos et al., 2012), (da Silva et al., 2013), (Muniz et al., 2013), (da Silva et al., 2014), (Muniz et al., 2015), (Andrade et al., 2015), e dois artigos em revista (d. Santos et al., 2015), (Muniz et al., 2016).

2

Inversor 2L3L

2.1 Introdução

Mais recentemente, inversores multiníveis monofásicos têm sido explorados em aplicações de baixa potência, especialmente em aplicações fotovoltaicas, visto que é possível gerar formas de onda de tensão de alta qualidade com as chaves semicondutoras de potência operando a uma frequência próxima da fundamental (Villanueva et al., 2009). O número de fontes *c.c.* não tem sido um fator restritor e considerando por exemplo o caso em que apenas uma fonte *c.c.* é disponível, é possível empregar conversores multiníveis com diferentes fontes *c.c.* usando um circuito adicional (Nami et al., 2011).

Os diversos inversores multiníveis monofásicos propostos, em sua grande maioria, apresentam tensões de bloqueio desiguais para cada chave de potência, sendo algumas delas submetidas à altas tensões (Nami et al., 2011). Neste capítulo é proposto um inversor de quatro níveis monofásico denominado de 2L3L.

O inversor 2L3L pode ser obtido através do empilhamento de duas células *c.a.* de dois níveis com uma célula *c.c.* sendo conectada aos terminais A e B, formando o braço três níveis. O braço de três níveis é conectado a um barramento capacitivo juntamente com um braço de níveis de forma que este último braço seja submetida à metade da tensão do barramento total, como é ilustrado na Fig. 2.1.

Este inversor, Fig. 2.2 pode ser considerado como uma configuração intermediária entre

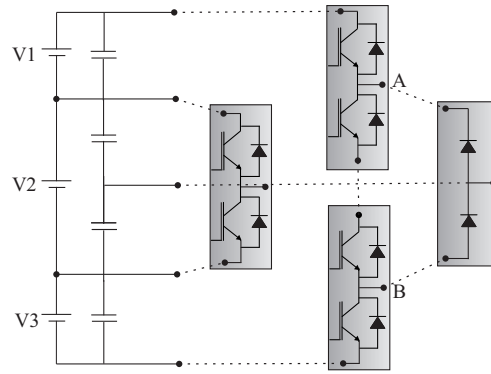


Figura 2.1: Formação do inversor 2L3L

a topologia em ponte H com quatro chaves de três níveis, como observado na Fig.2.3(a) e a topologia em ponte H com oito chaves de cinco níveis, Fig.2.3(b). As chaves S_1 , \bar{S}_1 , S_2 e \bar{S}_2 são usadas para compor o braço de três níveis, enquanto que as chaves S_3 e \bar{S}_3 são usadas para compor o braço de dois níveis. As chaves S_1 , S_2 , S_3 são complementares das chaves \bar{S}_1 , \bar{S}_2 , \bar{S}_3 , respectivamente. Tal topologia necessita de três fontes *c.c.* independentes. Dentre suas vantagens, além de apresentar um número reduzido de componentes, suas chaves são sempre submetidas ao mesmo valor de tensão de bloqueio reversa, apresentando ainda um menor valor de tensão de bloqueio das chaves quando comparadas com outras topologias.

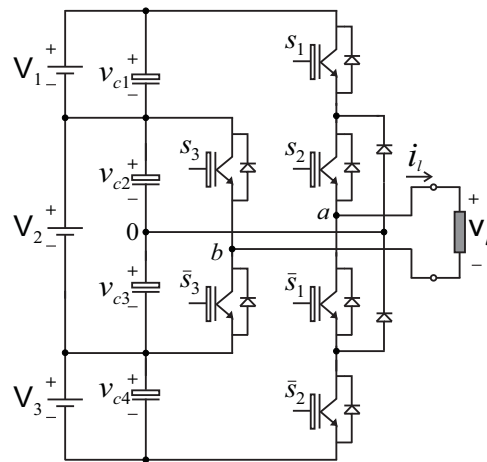
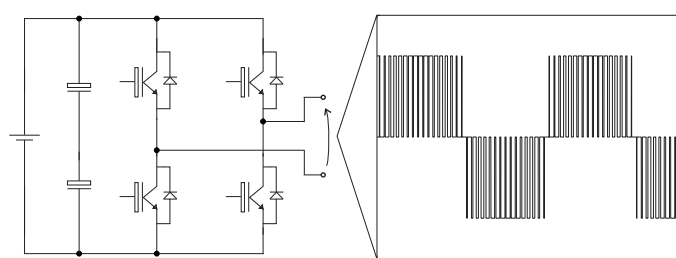
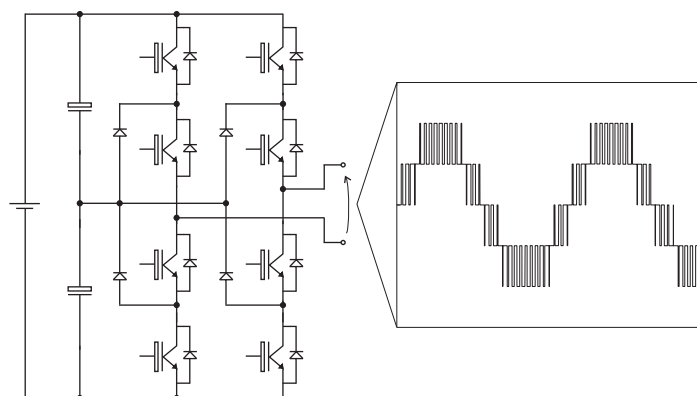


Figura 2.2: Topologia em ponte H 2L3L



(a)



(b)

Figura 2.3: Configuração convencional e forma de onda da tensão de saída (a) topologia em ponte H com quatro chaves de três níveis (b) topologia em ponte H com oito chaves de cinco níveis

2.2 Operação do Inversor 2L3L

Para garantir uma tensão de saída simétrica, é necessário fazer $V_1 = V_3 = 0, 5V_2 = V$. Como pode ser observado na Fig. 2.2, a carga monofásica é conectada aos pontos a e b , então

$$v_l = v_{a0} - v_{b0} \quad (2.1)$$

onde

$$v_{a0} = 2V \text{ se } s_1 = s_2 = 1$$

$$v_{a0} = 0 \text{ se } \bar{s}_1 = s_2 = 1$$

$$v_{a0} = -2V \text{ se } s_1 = s_2 = 0$$

e

$$v_{b0} = V \text{ se } s_3 = 1$$

$$v_{b0} = -V \text{ se } s_3 = 0$$

com $S_j (j = 1, 2, 3)$ representando o estado de condução das chaves $S_j (j = 1, 2, 3)$, $s_j = 1$ para chave ligada e $s_j = 0$ para chave desligada.

Considerando todas as possibilidades dos estados de chaveamento disponíveis, a tensão de saída é determinada pela Tabela 2.1. Desta tabela é possível observar que há quatro níveis para v_l . Considerando fontes *c.c.* com diferentes valores, é possível incrementar o número de níveis da forma de onda de saída do conversor proposto. No entanto, isto não é considerado neste trabalho, visto que a tensão de bloqueio reversa nas chaves, seria bem diferente.

2.3 Estratégia de Modulação

A estratégia de modulação empregada ao conversor 2L3L é uma combinação das técnicas PWM de dois e três níveis, o qual significa que, para o braço de dois níveis (2L) será empregada apenas uma portadora triangular, enquanto que para o braço de três níveis serão

Tabela 2.1: Tensão de saída considerando todos os estados de chaveamento possíveis

Estados	$\{S_1 S_2 S_3\}$	v_l
1	$\{0 0 0\}$	-V
2	$\{0 0 1\}$	-3V
3	$\{0 1 0\}$	V
4	$\{0 1 1\}$	-V
5	$\{1 1 0\}$	3V
6	$\{1 1 1\}$	V

utilizadas duas portadoras triangulares como observado na Fig. 2.4. Da eq. 2.1 é possível escrever as seguintes relações para as tensões de polo de referência

$$v_{a0}^* = v_l^*/2 \quad (2.2)$$

$$v_{b0}^* = -v_l^*/2 \quad (2.3)$$

Os estados de chaveamento das chaves de potência são obtidos comparando a tensão de polo de referência com as formas de ondas triangulares, i.e.; a tensão v_{a0}^* será comparada com v_{t1} e v_{t2} para definir os estados de chaveamento de S_1 e S_2 , respectivamente; do mesmo modo a tensão v_{b0}^* será comparada com v_{t3} para definir o estado de chaveamento de S_3 .

Na Fig. 2.4 é ilustrado, de cima para baixo, as tensões de polos de referência, estados de chaveamento, tensão de polo e tensão de carga. Nas Figs 2.4(a), 2.4(b) e 2.4(c) são mostradas essas variáveis para $v_l^* > 0$, $v_l^* = 0$ e $v_l^* < 0$, respectivamente. Desta figura é possível observar a geração de quatro níveis.

2.4 Balanceamento das Tensões dos Capacitores

O balanceamento das tensões dos capacitores C_2 e C_3 é obtido naturalmente com a estratégia de modulação usada. Este balanceamento natural pode ser explicado pelas correntes nos capacitores, como observado na Fig.2.5. Nesta figura é mostrada o caminho da corrente nos capacitores considerando todos os estados de chaveamento. Nas Figs 2.5(a)-2.5(d) são real-

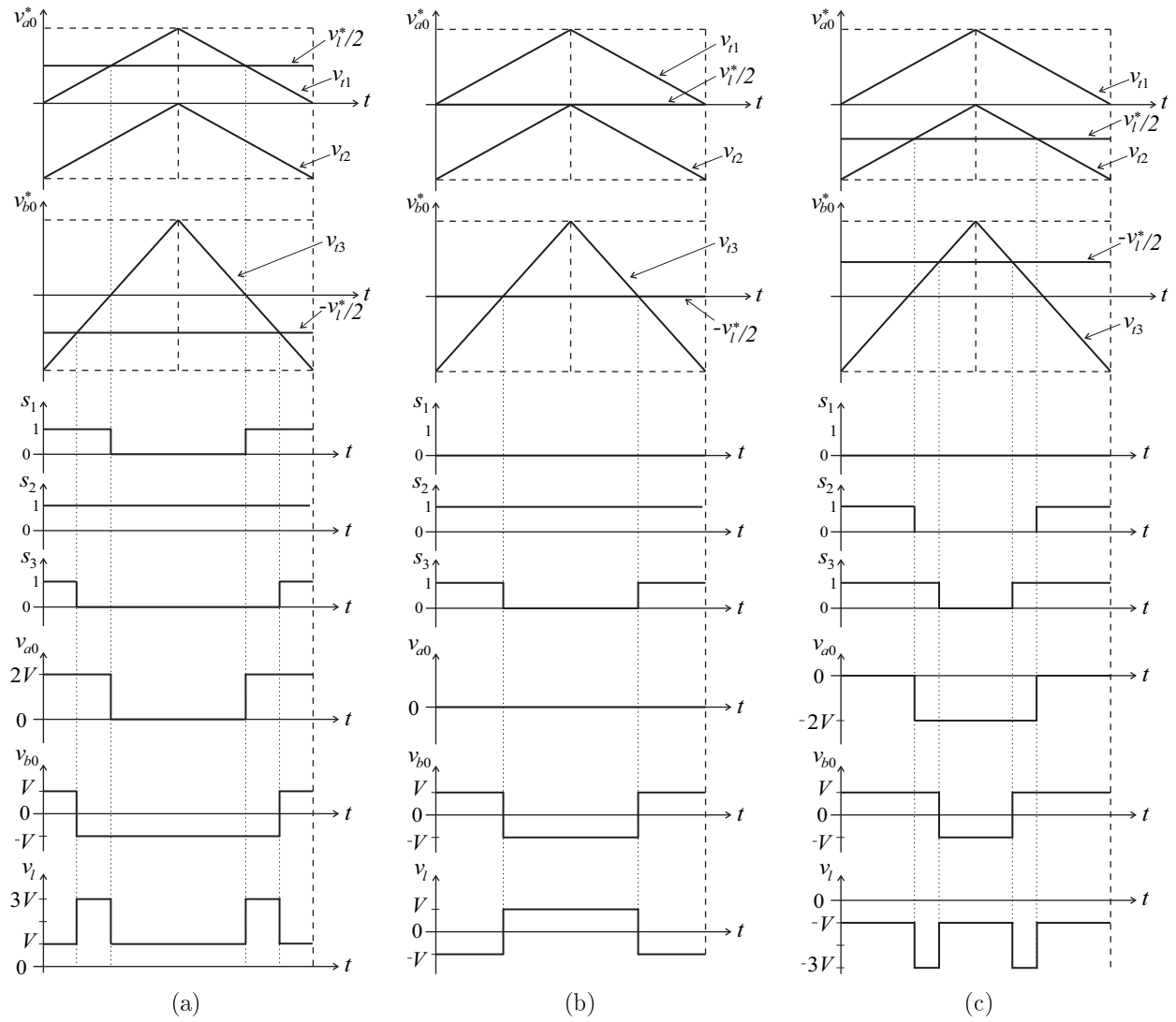


Figura 2.4: Formas de ondas da modulação seno-triângulo para (a) $v_l^*/2 > 0$ (b) $v_l^*/2 = 0$ (c) $v_l^*/2 < 0$

çadas as correntes nos capacitores para $i_l > 0$, enquanto nas Figs. 2.5(e)-2.5(h) são realçadas as correntes nos capacitores para $i_l < 0$. Pode ser visto, que depois de um período senoidal, a carga e a descarga dos capacitores C_2 e C_3 são garantidas por i_l . Como os capacitores C_1 e C_4 são conectados a fontes de tensão *c.c.* individuais (V_1 e V_3 , respectivamente) uma estratégia de balanceamento não é necessária.

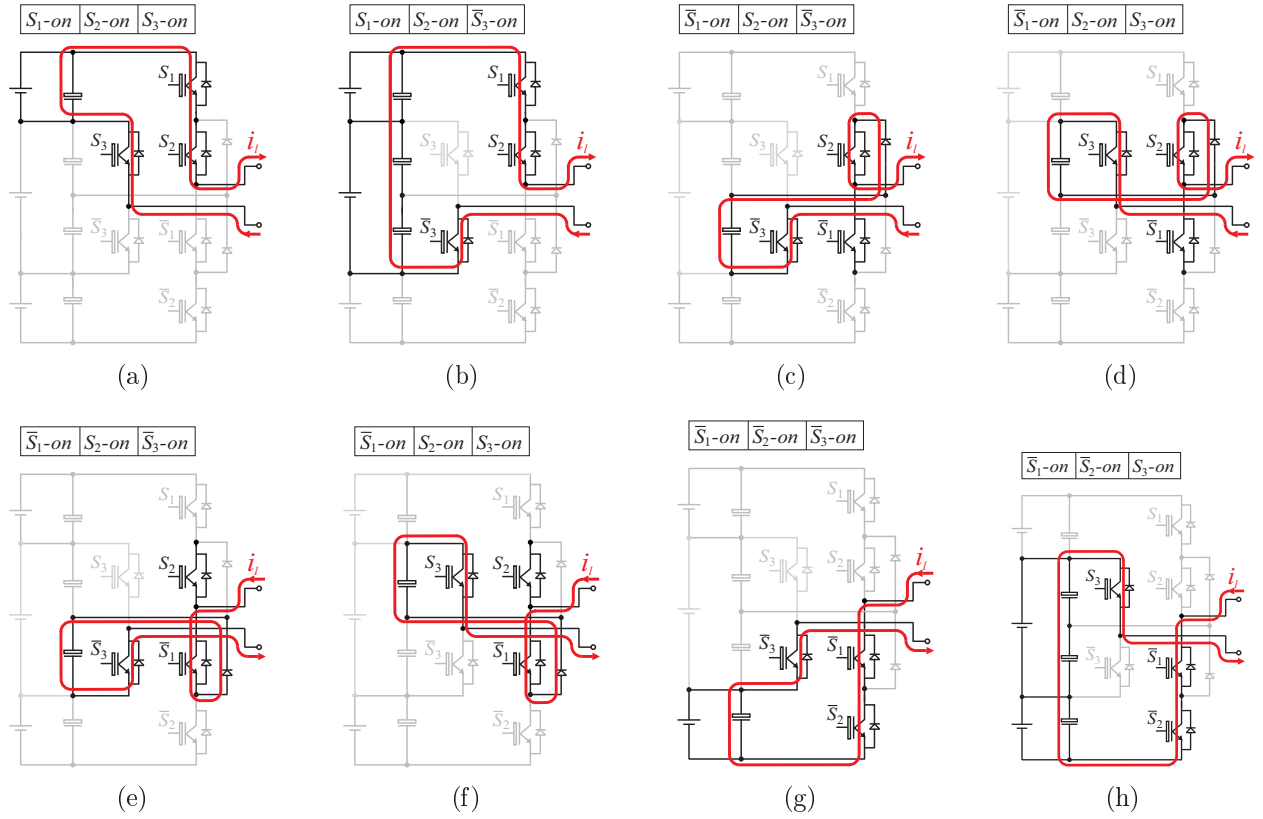


Figura 2.5: Caminho da corrente nos capacitores considerando todos os estados de chaveamento: (a)-(d) para $i_l > 0$ e (e)-(h) para $i_l < 0$

2.5 Comparação Geral

Nesta seção será apresentada uma comparação entre a configuração proposta, Fig. 2.2 e a configuração de quatro níveis convencional, Fig.2.6. Quatro aspectos serão considerados nessa comparação, i.e, o número de dispositivos semicondutores, o WTHD da tensão de carga, as correntes dos capacitores do barramento e as perdas nos semicondutores.

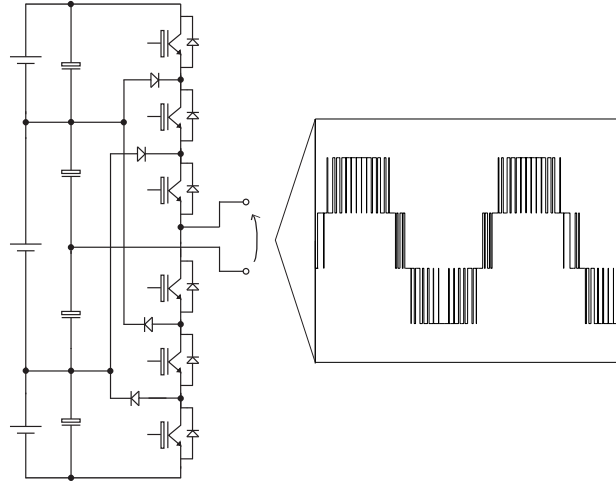


Figura 2.6: Configuração NPC de quatro níveis convencional

2.5.1 Número de Dispositivos

Por uma comparação direta, a configuração proposta apresenta um número reduzido de componentes, com a redução de dois diodos. Além disso, a conexão ao ponto central do barramento é feita apenas para ser possível obter tensão zero no braço de três níveis, o que significa que correntes na ordem de baixas frequências não irão fluir através dos capacitores (carga não conectada ao barramento). Por outro lado, a conexão ao ponto médio do barramento da configuração convencional é concebida para garantir a conexão da carga, o que significa que correntes na ordem de baixas frequência irão fluir através dos capacitores C_2 e C_3 .

2.5.2 Distorção Harmônica da Tensão de Carga

A distorção harmônica total ponderada WTHD (do inglês *Weighted Total Harmonic Distortion*) foi calculada usando:

$$WTHD(h) = \frac{100}{a_1} \sqrt{\sum_{h=2}^p \left(\frac{a_h}{h}\right)^2} \quad (2.4)$$

onde a_1 é a amplitude da tensão fundamental, a_h é a amplitude da h^h componente harmônica e p é o número de harmônicas a ser considerado. A Fig. 2.7 ilustra as curvas do WTHD da tensão de carga (v_l) da configuração convencional e da proposta em função do índice de modulação.

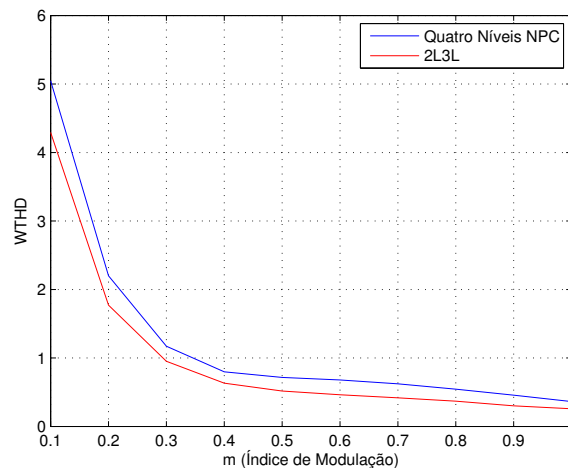


Figura 2.7: WTHD da tensão de carga em função do índice de modulação obtida por simulação

Como esperado, para a configuração convencional e a proposta, a distorção harmônica total decresce na medida em que o índice de modulação aumenta. Para todos os índices de modulação considerados, o conversor proposto sempre apresenta um valor de WTHD menor comparado ao conversor convencional, o qual pode ser explicado pela baixa oscilação da tensão do barramento para o circuito proposto.

2.5.3 Correntes nos Capacitores do Barramento

Os valores RMS (*Root Mean Square*) das correntes dos capacitores das extremidades (C_1 e C_4) são quase os mesmos para inversor 2L3L e a topologia NPC convencional, enquanto que as correntes dos capacitores centrais (C_2 e C_3) apresentaram uma redução de 36% na topologia proposta, a qual pode ser explicada pelo fato de que a carga na topologia NPC é ligada diretamente a esses capacitores.

2.5.4 Perdas

A estimativa das perdas foi obtido utilizando um modelo de regressão, o qual foi alcançado por testes experimentais como obtido em (Cavalcanti, da Silva, Boroyevich, Dong e Jacobina, 2003). O dispositivo de potência usado no teste experimental foi o IGBT dual módulo CM50DY-24H (POWEREX) controlado por um drive SKHI-10 da SEMIKRON. O modelo de perdas da chave inclui: a) perdas de condução do IGBT e do diodo, b) perdas por

Tabela 2.2: Perdas do inversor NPC de quatro níveis

$f_s(Hz)$	$f_s = 720Hz$	$f_s = 5kHz$
Perdas por condução (W)	5,4	5,5
Perdas por chaveamento (W)	0,4	2,88
Perdas totais (W)	5,8	7,88

Tabela 2.3: Perdas do inversor 2L3L

$f_s(Hz)$	$f_s = 720Hz$	$f_s = 5kHz$
Perdas por condução (W)	5,2	5,0
Perdas por chaveamento (W)	0,78	5,85
Perdas totais (W)	5,98	10,85

chaveamento (perdas de bloqueio e de disparo do IGBT e perdas de bloqueio do diodo). Este modelo foi utilizado em todos os conversores estudados neste trabalho.

Nas Tabelas 2.2 e 2.3 são apresentadas as perdas totais para o inversor NPC de quatro níveis e o inversor 2L3L, respectivamente. No inversor NPC foi utilizado uma tensão de barramento de 450V e no inversor 2L3L foi utilizado uma tensão de barramento de 300V de forma que todas as chaves ficassem submetidas a uma mesma tensão de bloqueio e que se tivesse a mesma tensão e corrente de carga em ambos os conversores. O estudo foi realizado utilizando as frequência de chaveamento de 720Hz e 5kHz e uma carga composta de um resistor $R = 65\Omega$ e uma indutância $L = 7mH$.

Pode-se verificar que as perdas totais no inversor 2L3L é maior que as perdas do inversor NPC. A perda por condução do inversor 2L3L é ligeiramente inferior, visto que possui dois diodos de grampeamento a menos. No entanto, a perda por comutação é menor no inversor NPC, pois apesar das chaves estarem submetidas ao mesmo esforço de tensão, o braço de dois níveis do inversor 2L3L comuta durante todo o período do sinal de saída, elevando as perdas por comutação nessas chaves, sendo este fato preponderante para as perdas totais do

Tabela 2.4: Comparação entre o inversor NPC 4N e o inversor 2L3L

	Chaves de potência controladas	Diodos extras	Distribuição irregular de perdas	Perdas totais	Distorção harmônica	Número de fontes
NPC 4N	6	2	<i>não</i>	<i>menor</i>	<i>maior</i>	3
2L3L	6	4	<i>sim</i>	<i>maior</i>	<i>menor</i>	<i>pode usar duas</i>

inversor NPC serem menores que as perdas do inversor 2L3L.

Na Tabela 2.4 é exposto um resumo com os itens mais relevantes das configurações estudadas neste capítulo. As figuras de mérito considerados na comparação são: 1) número de interruptores controlados, 2) número de diodos extras, 3) distribuições de perdas entre os interruptores, 4) perdas totais, 5) distorção harmônica, e 6) número de fontes utilizadas.

2.6 Inversor 2L3L com Número de Fontes Reduzido

O inversor 2L3L pode ainda operar com duas fontes de alimentação como ilustrado na Fig. 2.8. Neste caso, para garantir uma tensão de saída simétrica é necessário fazer $V_1 = 2V_2$. Mais uma vez, o balanceamento das tensões dos capacitores é obtido naturalmente com a estratégia de modulação usada, visto que as oscilações das tensões do barramento se complementam a cada meio ciclo da tensão de saída.

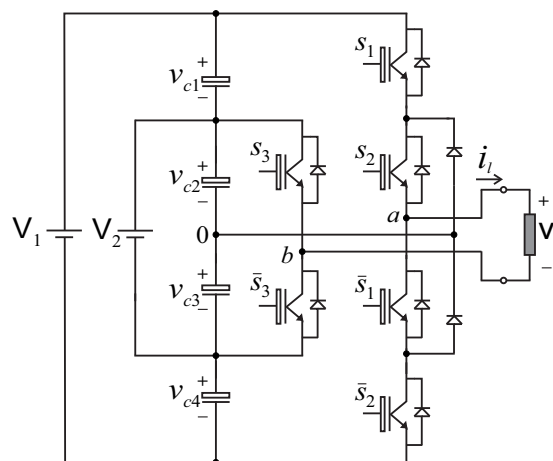


Figura 2.8: Inversor 2L3L com duas fontes de alimentação

Utilizando a versão com duas fontes, pode obter-se ainda a versão trifásica do conversor 2L3L, ilustrada na Fig. 2.9. Comparando-se a outras topologias trifásica, apresentam a

vantagem de possuir a mesma tensão de bloqueio em todas as chaves e como principal desvantagem a quantidade de fontes utilizadas (seis no total) e a quantidade de capacitores necessário, doze no total

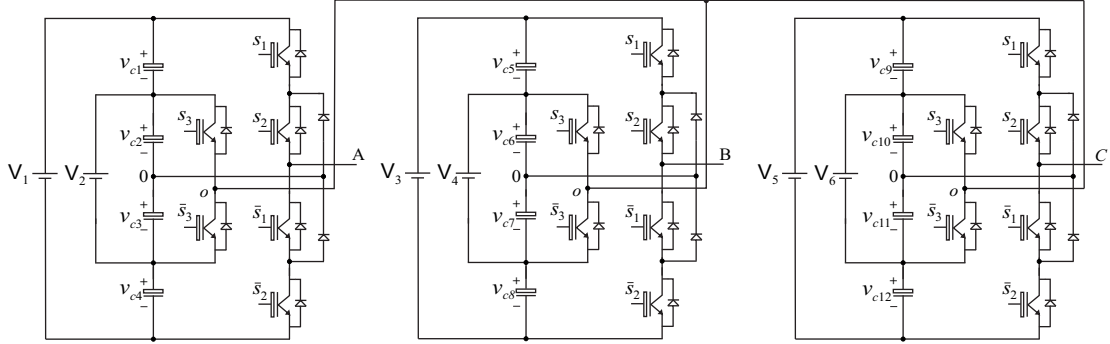


Figura 2.9: Inversor 2L3L trifásico

2.7 Resultados de Simulação

O comportamento do inversor ponte H 2L3L, ilustrado na Fig. 2.2, foi estudado através de um programa de simulação, usando o ambiente PSIM. Estes resultados foram obtidos utilizando os seguintes parâmetros apresentados na Tabela 2.5.

Tabela 2.5: Parâmetros utilizados na simulação do inversor 2L3L

Frequência de chaveamento	$5kHz$
C_1 e C_2	$2200\mu F$
L	$7mH$
R	65Ω
$V_1 = V_3$	$75V$
V_2	$150V$
Índice de modulação de amplitude	$0,9$

Na Fig. 2.10, são ilustrados os resultados de simulação da configuração ponte H proposta. As formas de ondas apresentadas nestas figuras são, de cima para baixo: tensão de polo no braço dois níveis (v_{b0}); tensão de polo no braço três níveis (v_{a0}); tensão de carga (v_l) e corrente de carga (i_l).

Na Fig. 2.11 são apresentados os resultados de simulação indicando a tensão de carga (v_l), tensões nos capacitores do barramento v_{c2} e v_{c3} e corrente de carga (i_l).

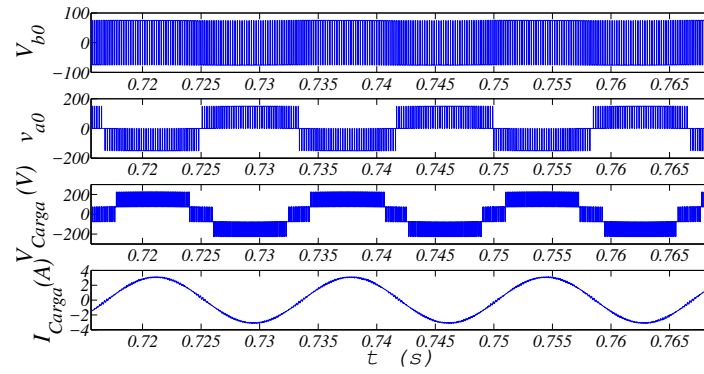


Figura 2.10: Resultados de simulação (de cima para baixo) tensão de polo no braço dois níveis, tensão de polo no braço três níveis, tensão de carga e corrente de carga

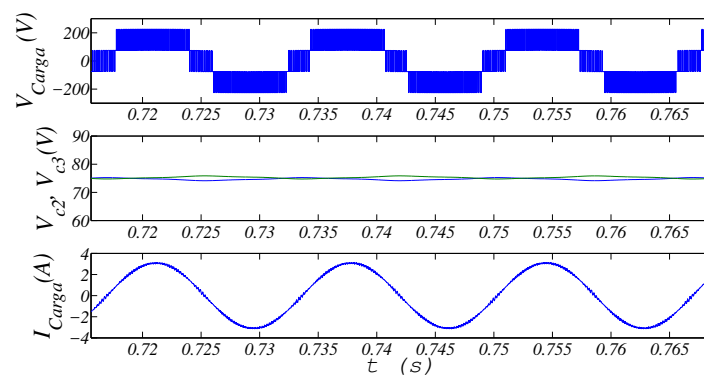


Figura 2.11: Resultados de simulação (de cima para baixo) tensão de carga, tensões nos capacitores v_{c2} e v_{c3} e corrente de carga

2.8 Resultados Experimentais

Os resultados experimentais foram obtidos a partir de uma plataforma de desenvolvimento experimental controlado pelo processador digital de sinais TMS320F28335. O objetivo desses resultados é comprovar os resultados do inversor 2L3L obtidos em nível de simulação. Os resultados foram obtidos utilizando os mesmos parâmetros usados na simulação.

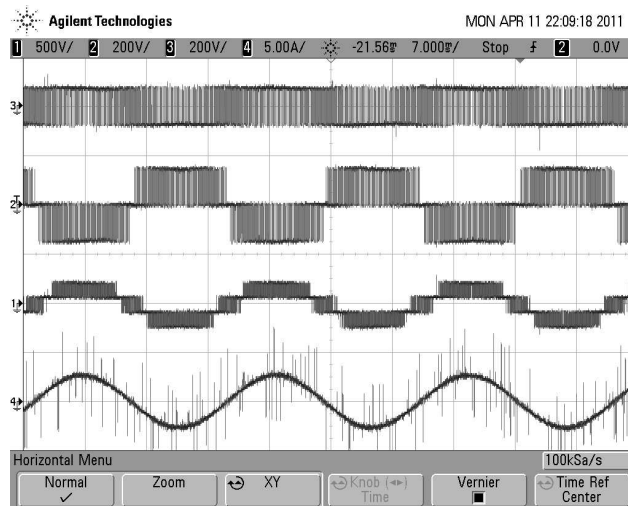


Figura 2.12: Resultados Experimentais (de cima para baixo) tensão de polo no braço dois níveis, tensão de pólo no braço três níveis, tensão de carga e corrente de carga

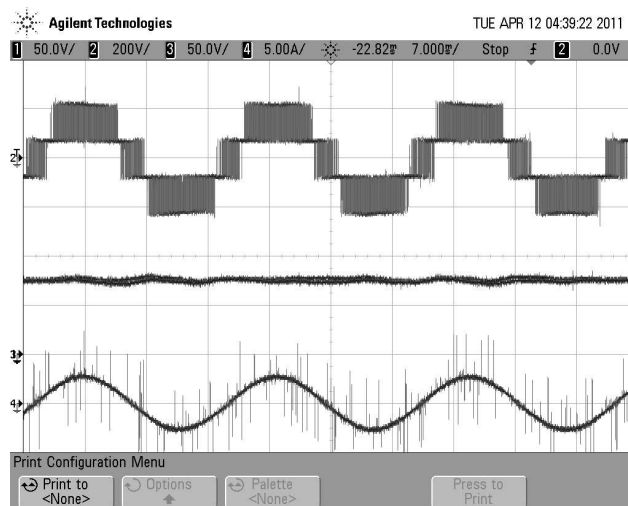


Figura 2.13: Resultados Experimentais (de cima para baixo) tensão de carga, tensões nos capacitores v_{c2} e v_{c3} e corrente de carga

Na Fig. 2.12, são ilustrados os resultados experimentais da configuração ponte H proposta. As formas de ondas apresentadas nestas figuras são, de cima para baixo: tensão de

polo no braço dois níveis (v_{b0}); tensão de polo no braço três níveis (v_{a0}); tensão de carga (v_l) e corrente de carga (i_l).

Na Fig. 2.13 são apresentados os resultados experimentais indicando a tensão de carga (v_l), tensões nos capacitores do barramento v_{c2} e v_{c3} e corrente de carga (i_l). Analisando os resultados obtidos em simulação e experimentais é evidente a concordância entre esses resultados. É importante mencionar que as tensões dos capacitores C_1 e C_2 são balanceadas sem fazer uso de nenhuma técnica específica. Como discutido na análise teórica, o balanceamento dos capacitores é naturalmente alcançado com a estratégia de modulação empregada.

2.9 Conclusões

Um inversor monofásico de quatro níveis chamado de inversor 2L3L foi proposto neste capítulo, no qual é composto de um braço de dois níveis e um braço de três níveis NPC. Foi feito um estudo comparativo entre a configuração proposta e o inversor convencional NPC de quatro níveis onde algumas vantagens da topologia proposta foram observadas.

Com relação ao número de componentes, possui seis IGBTs e dois diodos, enquanto a topologia NPC faz uso também de seis chaves, no entanto utiliza quatro diodos. O balanceamento das tensões nos capacitores do barramento da topologia proposta é obtido naturalmente, como foi visto e isso ocorre porque as correntes nos capacitores centrais se anulam em um período. Considerando não idealidades como a aplicação do tempo morto ou ainda o aumento da corrente de carga, observa-se um pequeno aumento nas oscilações das tensões capacitivas, sobretudo no braço de dois níveis, não comprometendo, no entanto, a qualidade da resposta do conversor.

A WTHD do inversor 2L3L é inferior para todos os índices de modulação à WTHD do inversor NPC, visto que a oscilação de tensão nos capacitores é inferior na nova topologia.

As perdas totais no inversor 2L3L é maior que as perdas do inversor NPC. A perda por condução do inversor 2L3L é menor, visto que possui dois diodos de grampeamento a menos. No entanto, a perda por comutação é menor no inversor NPC, pois apesar das chaves estarem submetidas ao mesmo esforço de tensão, o braço de dois níveis do inversor 2L3L comuta durante todo o período do sinal de saída, elevando as perdas por comutação nessas

chaves.

Foi verificado ainda que o inversor 2L3L pode operar utilizando duas fontes de tensão, sem comprometer o controle das tensões. Usando a versão com duas fontes obteve-se a versão trifásica, na qual necessita de doze capacitores e seis fontes independentes para sua construção.

O inversor 2L3L é um conversor simplificado que se mostrou bastante atrativo frente ao inversor NPC de quatro níveis para aplicações monofásicas. A grande vantagem deste conversor reside no fato de que suas chaves são sempre submetidas ao mesmo valor de tensão de bloqueio reversa, além de reduzir as correntes nos capacitores.

3

Configurações Multiníveis Nested

3.1 Introdução

Neste capítulo, são investigadas as topologias de inversores baseadas no conceito de arranjo Nested (do inglês, aninhado.) Tais topologias, são assim denominadas uma vez que o ponto central de cada um dos braços são conectados ao mesmo ponto, com o braço externo envolvendo o interno.

O inversor Nested pode ser obtido através do empilhamento de células com diferentes tipos de chaves, onde são empilhadas células do tipo *c.c.* positiva e negativa com IGBTs e uma célula com transistor BJT, Fig. 3.1(a). Percebe-se que através do curto-circuito dos terminais A e B resulta em uma chave bidirecional conectada ao ponto V_2 , Fig. 3.1(b). Substituindo a chave bidirecional, pela chave bidirecional formada por IGBTs da Fig. 1.27(e), resulta no Nested de três níveis ou inversor NPC Tipo II, Fig. 3.1(c). Através do empilhamento de um número maior de células, realizando um curto-circuito nos seus terminais pode-se chegar a topologia da Fig. 3.2(b). Eliminando a chave bidirecional que liga o braço formado por IGBTs ao ponto central, chega-se ao Nested com números pares de níveis.

O termo Nested foi empregado em alguns trabalhos como em (Dijkhuizen e Duarte, 2001; Dijkhuizen e Duarte, 2004), onde um polo ressonante auxiliar foi aplicado em uma célula Nested de três níveis, no entanto, trata-se de estruturas diferentes das apresentadas na Fig. 3.2. Um conversor de sete níveis monofásico, utilizando tiristores e com um braço

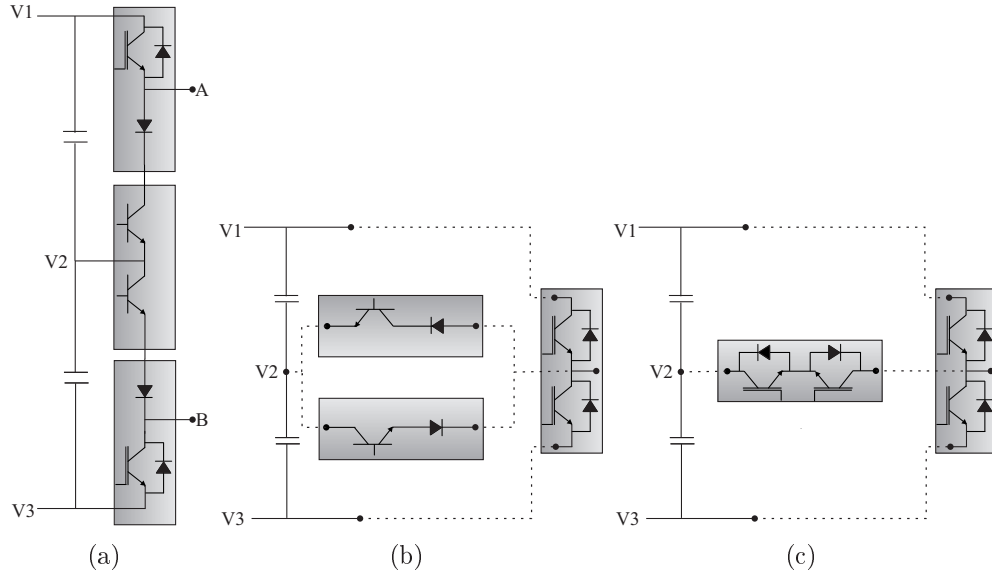


Figura 3.1: Formação do Nested: (a) Empilhamento de células com diferentes dispositivos (b) formação da chave bidirecional e (c) Nested de três níveis ou NPC de três níveis do tipo II

a mais que o conversor da Fig. 3.2(b) foi apresentado por (Bhagwat e Stefanovic, 1983). Por sua vez, o conversor da Fig. 3.2(b) usando MOSFET foi patenteado tempos mais tarde por (Mizukoshi, 1999). A principal contribuição deste trabalho é fornecer uma apresentação formal das configurações multiníveis Nested de quatro a n níveis, aplicando uma estratégia de modulação PWM e fazendo um estudo comparativo com outras topologias presentes na literatura técnica, sobretudo a topologia NPC, elencando vantagens e desvantagens entre elas. Resultados de simulação e experimentais são apresentados para validar as expectativas teóricas.

3.2 Princípio de operação do inversor Nested

Cada braço do inversor na Fig. 3.2(a) é constituído de duas chaves controladas (S_{x1} and S_{x4}) e duas chaves controladas bidirecionais (S_{x2} and S_{x3}) com $x = a, b, c$.

A operação do Nested de quatro níveis para um ciclo completo, pode ser dividido em três intervalos. Em um primeiro momento os interruptores S_{x1} e S_{x2} comutam de forma complementar, enquanto as outras chaves do mesmo braço permanecem em bloqueio. No segundo intervalo, S_{x2} e S_{x3} passam a comutar de forma complementar, enquanto as demais chaves do braço ficam em bloqueio. E por fim, agora S_{x3} e S_{x4} são comutados complementarmente e as

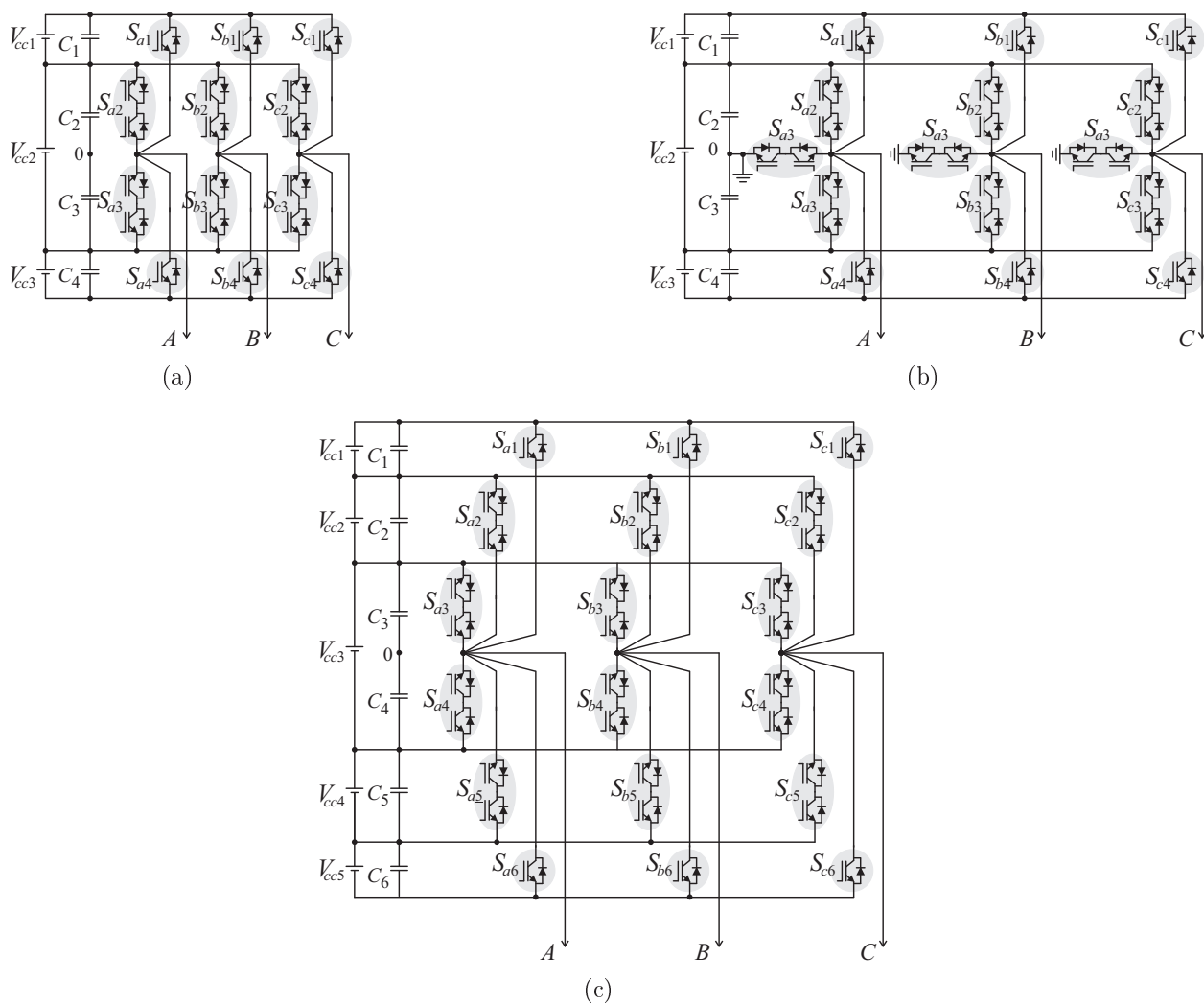


Figura 3.2: Configurações Multiníveis Nested: (a) Quatro níveis (b) Cinco níveis e (c) Seis níveis

outras permanecem em bloqueio. Para garantir uma tensão de saída simétrica, é necessário fazer $V_{cc1} = V_{cc2} = V_{cc3} = V_{cc}$, o que significa que $V_{C1} = V_{C4} = V_{cc}$ e $V_{C2} = V_{C3} = V_{cc}/2$. Como a carga trifásica é conectada aos pontos centrais de cada braço, então as tensões de polo poderão ter os seguintes valores:

$$v_{x0} = 1,5V \text{ se } s_{x1} = 1, s_{x2} = 0, s_{x3} = 0, s_{x4} = 0$$

$$v_{x0} = 0,5V \text{ se } s_{x1} = 0, s_{x2} = 1, s_{x3} = 0, s_{x4} = 0$$

$$v_{x0} = -0,5V \text{ se } s_{x1} = 0, s_{x2} = 0, s_{x3} = 1, s_{x4} = 0$$

$$v_{x0} = -1,5V \text{ se } s_{x1} = 0, s_{x2} = 0, s_{x3} = 0, s_{x4} = 1$$

com $v_{x0}(x = a, b, c)$ representando as tensões de polo e $s_{xj}(x = a, b, c)(j = 1, 2, 3)$ representando o estado de condução das chaves, onde $s_{xj} = 1$ para chave ligada e $s_{xj} = 0$ para chave desligada.

Considerando todas as possibilidades dos estados de chaveamento disponíveis, a tensão de saída é explicitada na Tabela 3.1. Desta tabela é possível observar que há quatro níveis para a tensão de pólo v_{xj} .

Tabela 3.1: Tensão de pólo considerando todos os estados de chaveamento

Estados	S_{x1}	S_{x2}	S_{x3}	S_{x4}	v_{x0}
1	1	0	0	0	$V_{cc1} + V_{cc2}/2$
2	0	1	0	0	$V_{cc2}/2$
3	0	0	1	0	$-V_{cc2}/2$
4	0	0	0	1	$-V_{cc1} - V_{cc2}/2$

Nas Figs. 3.3 e 3.4 é mostrado o percurso da corrente no braço da topologia Nested e NPC de quatro níveis, respectivamente. Nota-se que na geração do nível mais alto de tensão, Fig. 3.4(a), a corrente positiva (i_x) flui através de três chaves, i.e., S_{x1} , S_{x2} e S_{x3} , enquanto a corrente negativa flui através de três diodos. Na Fig. 3.3 a corrente foi no máximo por duas chaves por vez.

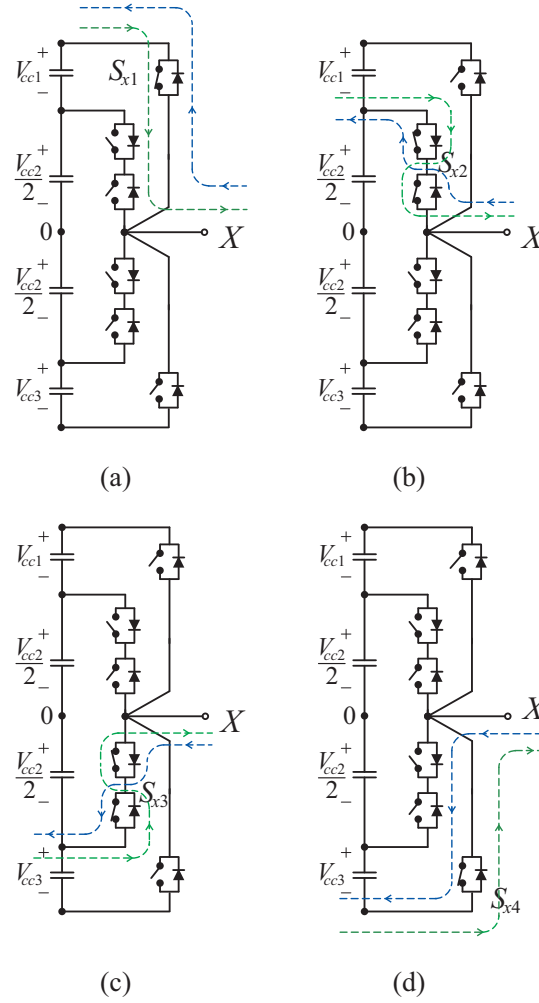


Figura 3.3: Fluxo de corrente através das chaves no braço da topologia Nested.

3.3 Estratégia de Modulação PWM

3.3.1 Estratégia PWM Híbrida

A estratégia de modulação das configurações Nested foi implementada usando a estratégia híbrida descrita nesta seção. A estratégia PWM é baseada nos princípios da CB-PWM com as portadoras dispostas em níveis. As diferenças entre as tensões de referência e os níveis de tensão do barramento *c.c.* são utilizados para cálculo dos tempos de condução das chaves do inversor.

Para implementação da PWM híbrida, as tensões de referência v_a^* , v_b^* e v_c^* são inicialmente definidas e precisam ser modificadas para garantir as mesmas vantagens da modulação vetorial com a facilidade de implementação do PWM escalar. Então as tensões de referência modificadas $v_a^{*'}$, $v_b^{*'}$ e $v_c^{*'}$ podem ser definidas a partir das três tensões senoidais de referências

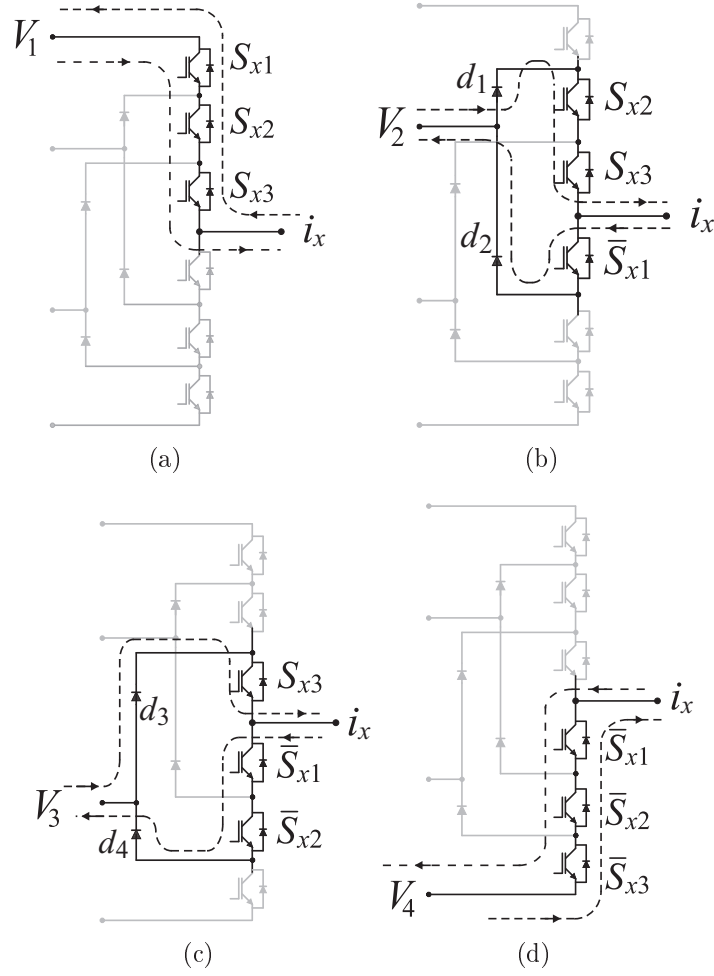


Figura 3.4: Fluxo de corrente através das chaves no braço da topologia NPC de quatro níveis.

v_a^* , v_b^* e v_c^* como segue:

$$v_a^{*'} = v_a^* + v_\mu \quad (3.1)$$

$$v_b^{*'} = v_b^* + v_\mu \quad (3.2)$$

$$v_c^{*'} = v_c^* + v_\mu \quad (3.3)$$

onde v_μ é a tensão de seqüência zero, ou tensão homopolar.

Observa-se que as eq. (3.1) - (3.3) não podem ser resolvidas se v_μ não for conhecido. A tensão v_μ pode ser calculada levando em conta o fator de distribuição de roda livre (μ) de

modo que:

$$v_\mu = \mu P_{min} - (1 - \mu) \left(\frac{E}{N-1} - P_{max} \right) \quad (3.4)$$

onde $P_{max} = \max P$, $P_{min} = \min P$, $P = \{P_a, P_b, P_c\}$, N (neste caso $N = 4$) é o número de níveis do inversor e E é a tensão total do barramento. Os parâmetros P_a , P_b e P_c indicam a diferença entre os níveis e a correspondente senoide de referência em um certo instante da modulação, como pode ser visto na Fig. 3.5.

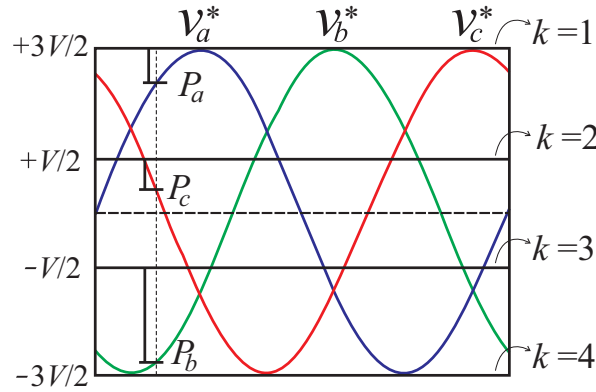


Figura 3.5: Definição de P_a , P_b e P_c em um inversor de 4-níveis.

As variáveis P_a , P_b e P_c podem ser determinadas considerando-se que cada nível do inversor é representado por uma linha horizontal que limita as senóides de referência v_a^* , v_b^* e v_c^* . Os valores desses níveis são dados por

$$Eixo(k) = \left(\frac{1}{2} - \frac{k-1}{N-1} \right) E \quad (3.5)$$

com $k = 1, \dots, 4$ o qual podem ser vistos na Fig. 3.5.

Uma vez determinado os valores dos eixos, calcula-se P_a , P_b e P_c da seguinte forma

$$Se(Eixo(k)) > v_x^* > Eixo(k+1), \text{então, } p_x = eixo(k) - v_x^* \quad (3.6)$$

com $k = 1, 2, 3, 4$ e $x = a, b, c$.

Com isso, pode se determinar os tempos de acionamento das chaves T_a , T_b e T_c com as

seguintes equações:

$$T_j = \frac{P_x}{\frac{E}{3}} T_s \quad (3.7)$$

$$T_x = T_s - T_j \quad (3.8)$$

com $j = 1, 2, 3$ e $x = a, b, c$.

O diagrama de blocos da estratégia híbrida utilizada, é exibido na Fig. 3.6, onde na implementação experimental foi utilizado um processador digital de sinais para obter os sinais de chaveamento. Alternativamente, os sinais de chaveamento podem ser definidos usando uma implementação analógica como ilustrado em Fig. 3.7. Neste caso, as portadoras são defasadas em amplitude. A lógica empregada na Fig. 3.7 permite a geração dos sinais de chaveamento como apresentado na Tab. 3.1.

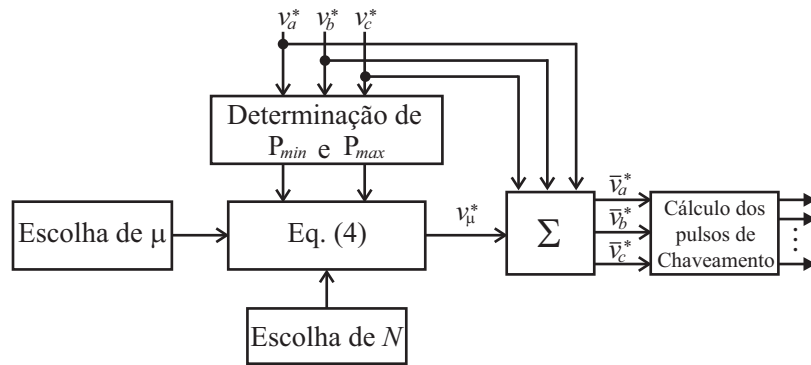


Figura 3.6: Diagrama de blocos da PWM híbrida

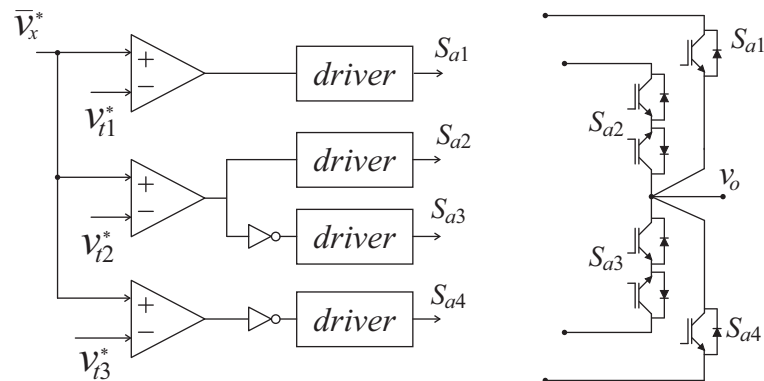


Figura 3.7: Implementação analógica da PWM.

3.3.2 Estratégia de Modulação Vetorial

Para utilização da modulação vetorial, realiza-se a transformação de três fases para duas, e pode ser mostrado que as tensões em quadratura v_d e v_q na referência estacionária pode ser expressa, em função das tensões de carga desejadas v_{an} , v_{bn} e v_{cn} como segue:

$$\begin{bmatrix} v_{sd} \\ v_{sq} \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & \frac{-1}{2} & \frac{-1}{2} \\ 0 & \frac{-\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} \quad (3.9)$$

onde

$$v_{an} = v_{a0} - v_{n0} \quad (3.10)$$

$$v_{bn} = v_{b0} - v_{n0} \quad (3.11)$$

$$v_{cn} = v_{c0} - v_{n0} \quad (3.12)$$

com

$$\begin{aligned} v_{a0} = & S_{a1}\overline{S}_{a2}\overline{S}_{a3}\overline{S}_{a4}(V_1) + \overline{S}_{a1}S_{a2}\overline{S}_{a3}\overline{S}_{a4}(V_2) \\ & + \overline{S}_{a1}\overline{S}_{a2}S_{a3}\overline{S}_{a4}(V_3) + \overline{S}_{a1}\overline{S}_{a2}\overline{S}_{a3}S_{a4}(V_4) \end{aligned} \quad (3.13)$$

$$\begin{aligned} v_{b0} = & S_{b1}\overline{S}_{b2}\overline{S}_{b3}\overline{S}_{b4}(V_1) + \overline{S}_{b1}S_{b2}\overline{S}_{b3}\overline{S}_{b4}(V_2) \\ & + \overline{S}_{b1}\overline{S}_{b2}S_{b3}\overline{S}_{b4}(V_3) + \overline{S}_{b1}\overline{S}_{b2}\overline{S}_{b3}S_{b4}(V_4) \end{aligned} \quad (3.14)$$

$$\begin{aligned} v_{c0} = & S_{c1}\overline{S}_{c2}\overline{S}_{c3}\overline{S}_{c4}(V_1) + \overline{S}_{c1}S_{c2}\overline{S}_{c3}\overline{S}_{c4}(V_2) \\ & + \overline{S}_{c1}\overline{S}_{c2}S_{c3}\overline{S}_{c4}(V_3) + \overline{S}_{c1}\overline{S}_{c2}\overline{S}_{c3}S_{c4}(V_4) \end{aligned} \quad (3.15)$$

e

$V_1 = V_{cc1} + V_{cc2}/2$, $V_2 = V_{cc2}/2$, $V_3 = -V_{cc2}/2$, $V_4 = -V_{cc3} - V_{cc2}/2$; S_{xj} são os estados das chaves ($j = 1, 2, 3, 4$) com os complementares representados por $\overline{S}_{xj} = 1 - S_{xj}$; e $v_{n0} = 1/3(v_{an} + v_{bn} + v_{cn})$.

Há sessenta e quatro possíveis combinações para os estados das chaves em um inversor de quatro níveis, o qual origina quatro vetores nulos e sessenta vetores espacialmente

deslocados como é ilustrado na Fig. 3.8. Nota-se nesta figura que há trinta e seis vetores não-redundantes.

Visto que a modulação vetorial envolve equações vetoriais volt-segundo entre o vetor de referencia desejado e os vetores de saída, dois vetores adjacentes podem ser escolhidos para sintetizar a tensão desejada como descrito em (Dordevic, Jones e Levi, 2013).

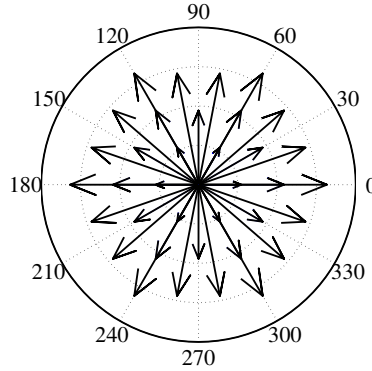


Figura 3.8: Diagrama Vetorial.

3.4 Análise de THD e WTHD

Foi realizada uma análise do desempenho das configurações Nested com quatro, cinco e seis níveis usando como parâmetro a THD e a WTHD.

A distorção harmônica total ponderada WTHD (do inglês *Weighted Total Harmonic Distortion*) foi calculada usando:

$$WTHD(h) = \frac{100}{a_1} \sqrt{\sum_{h=2}^p \left(\frac{a_h}{h}\right)^2} \quad (3.16)$$

onde a_1 é a amplitude da tensão fundamental, a_h é a amplitude da h^h componente harmônica e p é o número de harmônicas a ser considerado.

A distorção harmônica total, THD , é definida da seguinte forma:

$$THD = \frac{\sqrt{\sum_{h=2}^p a_h^2}}{a_1} \quad (3.17)$$

onde a_1 é a amplitude da tensão fundamental, a_h é amplitude da componente harmônica de ordem h e p é o número de harmônicos considerado.

Na Fig. 3.9 é mostrada a influência de μ sobre a qualidade da forma de onda gerada pela topologia Nested com quatro, cinco e seis níveis. A melhor solução em termos de WTHD é $\mu = 0.5$, devido à simetria dos pulsos gerados. Por outro lado, a escolha de $\mu = 0$ ou $\mu = 1$ garante uma melhor eficiência para o conversor. As Figs. 3.10(a), 3.10(b) e 3.10(c) apresentam a THD da corrente de carga em função do índice de modulação para as configurações com quatro, cinco e seis níveis, respectivamente. Nas figuras, são comparadas a PWM implementada com e sem o parâmetro v_μ . Percebe-se que a adição de um sinal de sequência zero adequado às tensões de referência, além de estender a região de linearidade (sobremodulação), pode também diminuir os harmônicos de corrente (Lee, Kim e Hyun, 1999).

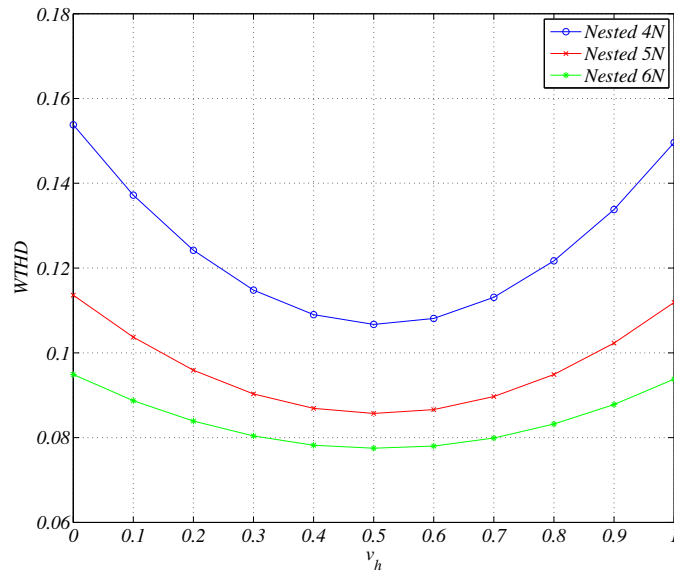
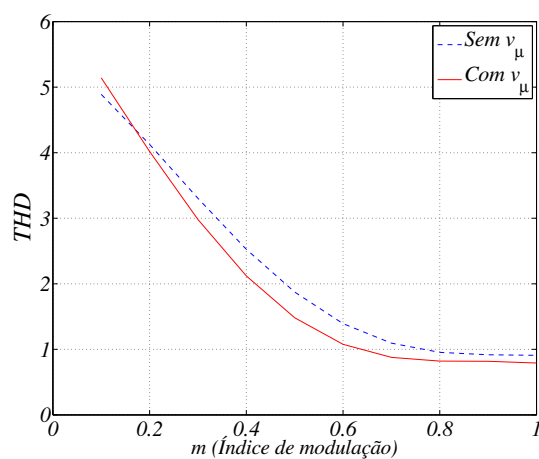


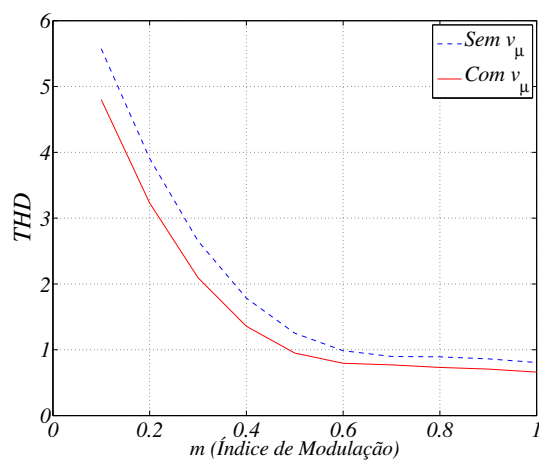
Figura 3.9: WTHD da tensão de carga em função de v_μ .

3.5 Seleção de componentes e circuito de acionamentos

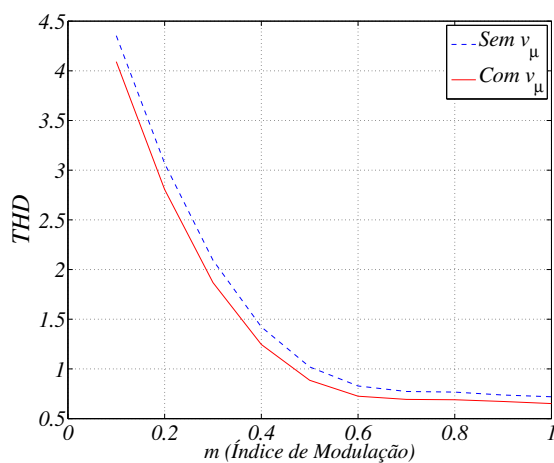
A diretriz para a seleção de componentes semicondutores é realizada observando alguns parâmetros como: a tensão de bloqueio, corrente nominal e frequência de comutação de todos os interruptores empregados nas configurações.



(a)



(b)



(c)

Figura 3.10: THD da corrente de carga em função do índice de modulação para as configurações com (a) quatro níveis (b) cinco níveis e (c) seis níveis.

Tabela 3.2: Tensão de bloqueio e corrente nas chaves da topologia Nested de quatro níveis.

	S_{x1}	S_{x2}	S_{x3}	S_{x4}
Tensão de bloqueio em pu	1	2/3	2/3	1
Corrente nominal em pu	1	1	1	1

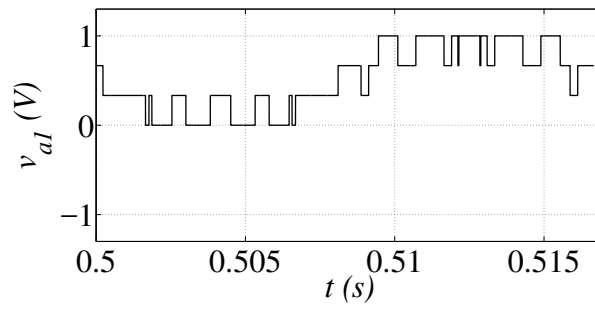
Tabela 3.3: Tensão de bloqueio e corrente nas chaves da topologia Nested de cinco níveis.

	S_{x1}	S_{x2}	S_{x3}	S_{x4}	S_{x5}
Tensão de bloqueio em pu	1	3/4	1/2	3/4	1
Corrente nominal em pu	1	1	1	1	1

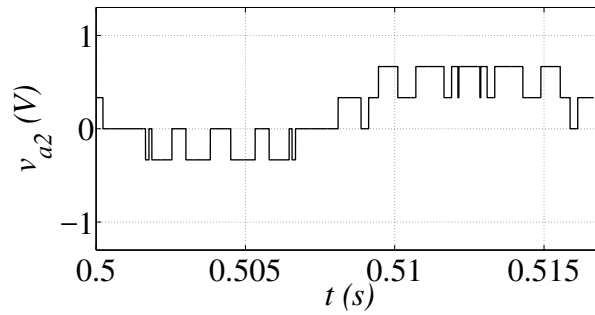
Nas Tabelas 3.2 e 3.3 são mostradas a tensão de bloqueio e corrente das chaves empregadas nas topologias Nested com quatro e cinco níveis, respectivamente. A tensão e a corrente de carga foram considerados em pu (por unidade), com os valores de pico assumindo o valor de $1pu$.

Nota-se que, embora as topologias Nested reduzam o número de diodos em comparação com a topologia NPC convencional, estes apresentam a tensão de bloqueio irregular entre as chaves. Na Fig. 3.11 são apresentadas as tensões através das chaves confirmando os resultados da Tab. 3.2. Por outro lado, a Fig. 3.12 mostra que as correntes são as mesmas para todas as chaves. Observe que a tensão de bloqueio dos interruptores S_{a1} e S_{a4} são mais elevadas do que a tensão de bloqueio dos interruptores S_{a2} e S_{a3} , o que caracteriza uma importante desvantagem em relação à topologia NPC. No entanto, uma forma de contornar esse problema é utilizar os interruptores S_{a1} e S_{a4} com alta tensão de ruptura (por exemplo, SiC e GaN), enquanto que para os interruptores S_{a2} e S_{a3} pode-se empregar dispositivos semicondutores convencionais.

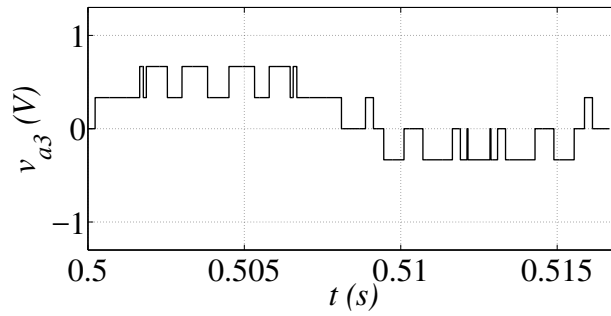
No que diz respeito a conexão dos dispositivos em relação à referência, os dispositivos utilizados nos conversores podem ter um acionamento do tipo *low-side* ou do tipo *high-side*. A abertura dos dispositivos acionados no modo *high-side* são mais difíceis de realizar, pois



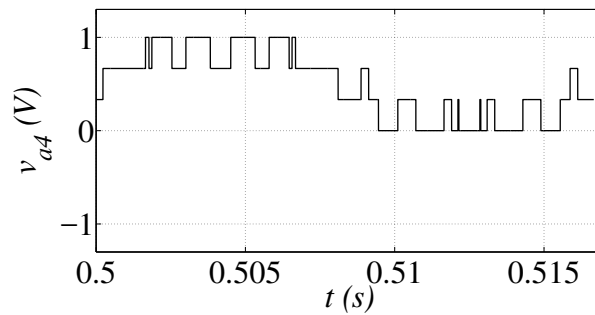
(a)



(b)



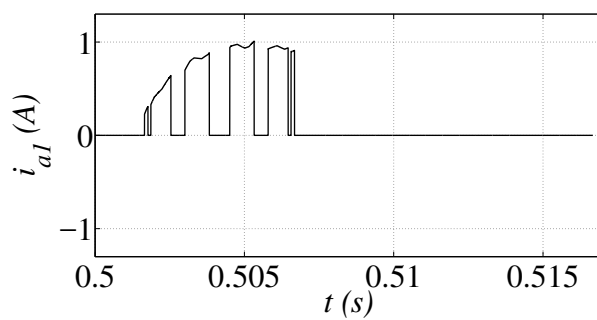
(c)



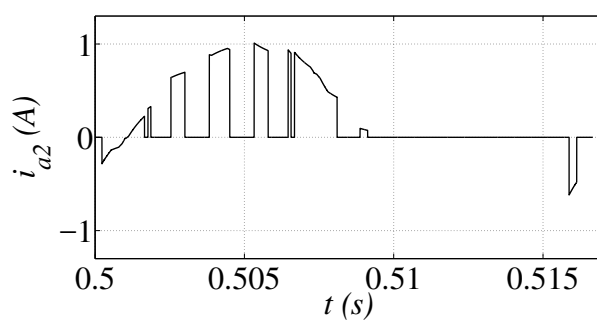
(d)

Figura 3.11: Tensões nas chaves do braço a .

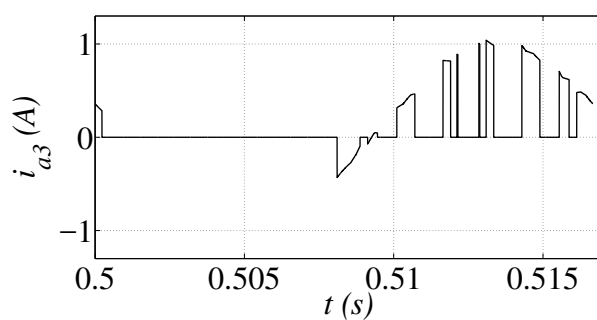
geralmente a tensão nessas chaves assume um comportamento flutuante. Ao comparar a configuração Nested com a topologia NPC de quatro níveis, há três interruptores acionados



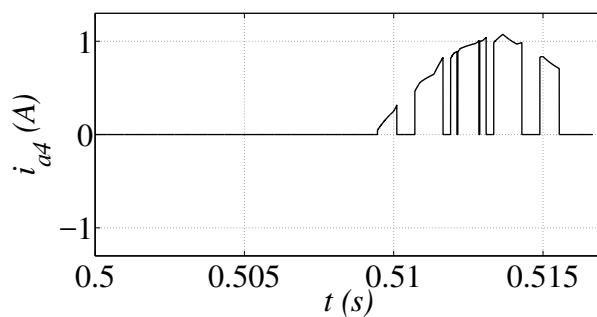
(a)



(b)



(c)



(d)

Figura 3.12: Corrente nas chaves do braço a .

no modo *high-side* S_{x1} , S_{x2} e S_{a3} por braço para a topologia Nested, ao passo que a topologia NPC requer cinco.

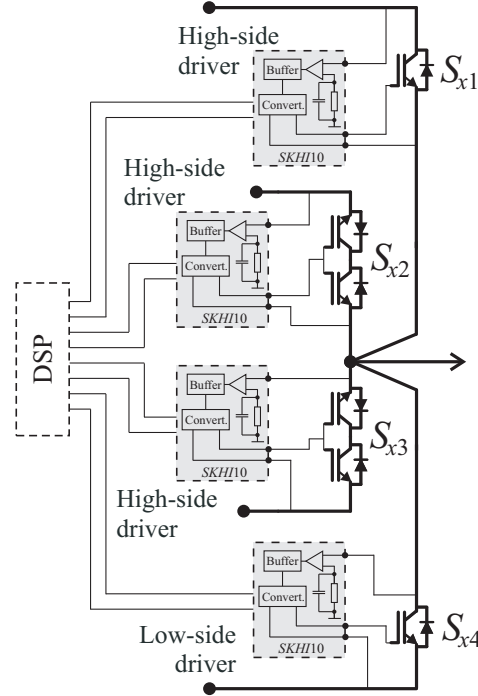


Figura 3.13: Circuito de acionamento de um braço do Nested com três drivers high-side e um low-side.

3.6 Estudo de Perdas nos semicondutores

A configuração Nested de quatro níveis, Fig. 3.2(a), foi comparada com a topologia NPC de quatro níveis convencional. A comparação, foi feita tomando várias condições de cargas, tensões do barramento e frequências de chaveamento.

A estimação das perdas foi obtido utilizando um modelo de regressão, o qual foi alcançado por testes experimentais como obtido em (Cavalcanti, da Silva, Boroyevich, Dong e Jacobina, 2003). O dispositivo de potência usado no teste experimental foi o IGBT dual módulo CM50DY-24H (POWEREX) controlado por um drive SKHI-10 da SEMIKRON. O modelo de perdas da chave inclui: a) perdas de condução do IGBT e do diodo, b) perdas por chaveamento (perdas de bloqueio e de disparo do IGBT e perdas de bloqueio do diodo). Este modelo foi utilizado para todas as chaves dos conversores investigados.

As Tabelas 3.4 e 3.5 apresentam as perdas por condução, chaveamento e perdas totais para três diferentes casos especificados logo à seguir e considerando duas frequências de chaveamento ($f_s = 720Hz$ e $f_s = 5kHz$):

- (i) Caso 1 - Tensão de barramento: $150V$, $R = 65\Omega$ e $L = 7mH$;

Tabela 3.4: Perdas do inversor NPC de quatro níveis

$f_s(H_z)$	$f_s = 720Hz$			$f_s = 5kHz$		
Caso	1	2	3	1	2	3
Perdas por condução (W)	5,38	5,15	5,37	5,34	5,12	5,34
Perdas por chaveamento (W)	0,26	0,5	1,02	1,87	3,7	7,52
Perdas totais (W)	5,64	5,65	6,39	7,21	8,82	12,86

Tabela 3.5: Perdas do inversor Nested de quatro níveis

$f_s(H_z)$	$f_s = 720Hz$			$f_s = 5kHz$		
Caso	1	2	3	1	2	3
Perdas por condução (W)	2,58	2,41	2,5	2,6	2,43	2,51
Perdas por chaveamento (W)	0,26	0,5	1,07	1,87	3,69	7,5
Perdas totais (W)	2,84	2,91	3,57	4,47	6,12	10,91

(ii) Caso 2 - Tensão de barramento: $300V$, $R = 142\Omega$ e $L = 15,3mH$;

(iii) Caso 3 - Tensão de barramento: $600V$, $R = 278\Omega$ e $L = 30,64mH$;

Nas Tabelas 3.6 e 3.7 são apresentadas as perdas totais da topologia NPC de quatro níveis e da topologia Nested com os interruptores operando sob condições nominais ($1200V / 50A$). Percebe-se que em todos os casos, a configuração Nested apresentou vantagens, especialmente devido a redução das perdas por condução.

As perdas por chaveamento são praticamente iguais nos dois inversores. Deve-se verificar que os esforços de tensão nas chaves do Nested é maior que o esforço de tensão experimentado pelas chaves do inversor NPC sob as mesmas condições de tensões, gerando nesse caso maiores perdas nos IGBTs do Nested, no entanto, o NPC de quatro níveis, possui doze diodos (de grampeamento) a mais que o Nested, contribuindo de forma significativa para o aumento da perda total do NPC.

Tabela 3.6: Perdas do inversor NPC de quatro níveis operando sob condição nominal 1200V/50A.

	$f_s = 720Hz$	$f_s = 5kHz$
Perdas por condução (W)	270,54	270,51
Perdas por chaveamento (W)	27,64	197,82
Perdas toatis (W)	298,18	468,33

Tabela 3.7: Perdas do inversor Nested de quatro níveis operando sob condição nominal 1200V/50A.

	$f_s = 720Hz$	$f_s = 5kHz$
Perdas por condução (W)	136,76	136,75
Perdas por chaveamento (W)	27,65	197,73
Perdas toatis (W)	164,41	334,48

Com relação as perdas por condução do Nested serem menores que as perdas do NPC, isso pode ser explicado devido ao número de chaves em condução simultânea do Nested ser menor que o número de chaves em condução simultânea do NPC.

3.7 Generalização e comparação entre topologias

As topologias Nested podem ser generalizadas para maiores números de níveis, utilizando o mesmo princípio como apresentado na Fig. 3.2, isto é, o braço externo envolvendo o interno.

A Fig. 3.14 retrata a generalização das configurações Nested, onde na Fig. 3.14 (a) é mostrando a generalização para um número par de níveis e na Fig. 3.14 (b) é mostrado a generalização de um número ímpar de níveis.

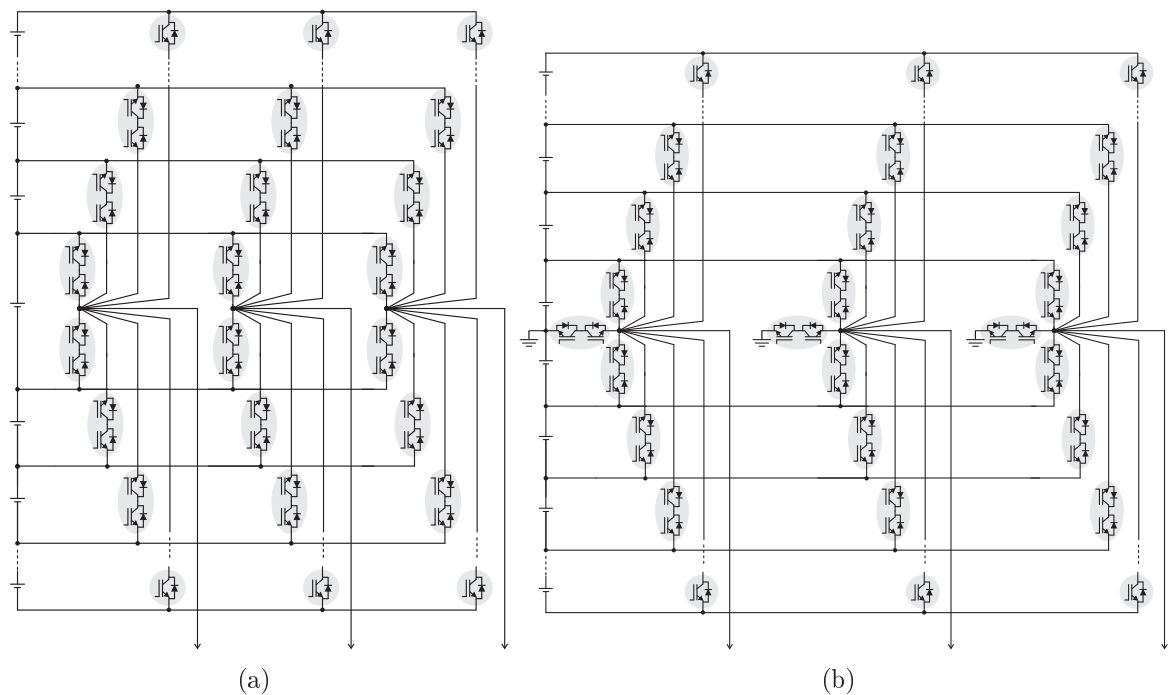


Figura 3.14: Generalização da configuração Nested com número de níveis: (a) par e (b) ímpar.

Na Tabela 3.8 é exposta uma comparação da configuração Nested e outras topologias propostas na literatura técnica capazes de gerar o mesmo número de níveis, Fig. 3.15. As figuras de mérito considerados na comparação são: 1) número de interruptores controlados, 2) número de diodos extra, 3) distribuições de perdas entre os interruptores de alimentação, 4) necessidade de capacitores flutuantes, e 5) a complexidade das estratégias de controle e

Tabela 3.8: Comparação entre conversores de quatro níveis

	Chaves de potência controladas	Diodos extras	Distribuição irregular de perdas	Capacitor flutuante	Complexidade de controle
Fig. 3.2(a)	6	0	<i>sim</i>	0	<i>baixo</i>
Fig. 3.4	6	4	<i>sim</i>	0	<i>baixo</i>
Fig. 3.15(a)	6	4	<i>sim</i>	0	<i>baixo</i>
Fig. 3.15(b)	12	0	<i>não</i>	0	<i>alta</i>
Fig. 3.15(c)	12	0	<i>não</i>	3	<i>alta</i>
Fig. 3.15(d)	6	0	<i>sim</i>	2	<i>baixo</i>

PWM.

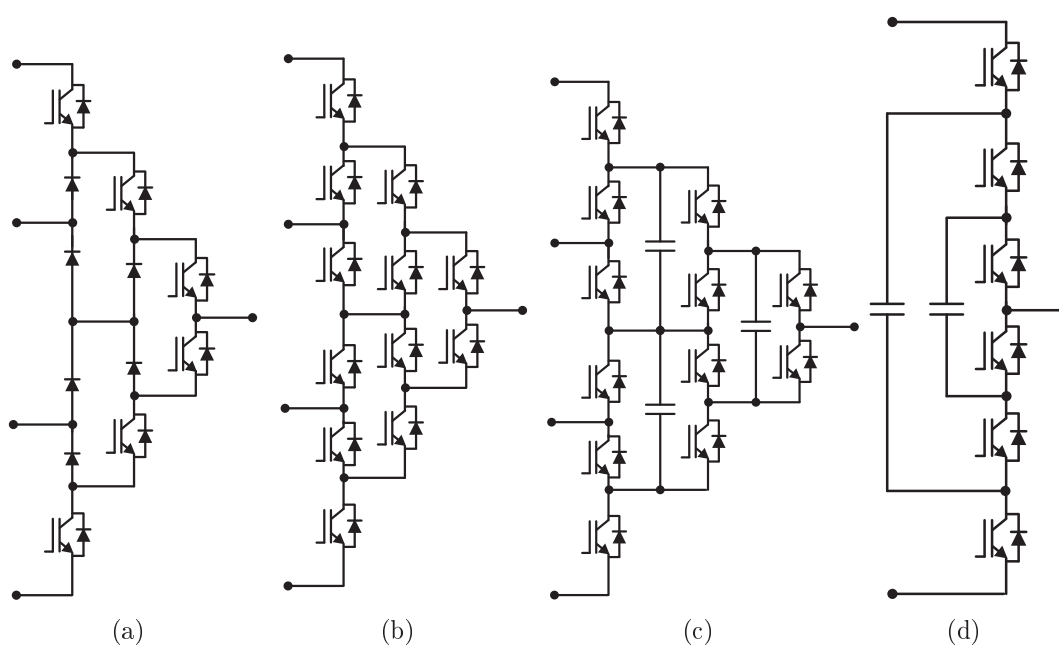


Figura 3.15: Topologias propostas na literatura técnica: (a) inversor multinível com diodos grampeados (b) conversor NPC ativo (c) inversor de quatro níveis e (d) inversor a capacitores flutuantes.

3.8 Resultados de Simulações

O comportamento do inversor Nested foi investigado inicialmente por meio de simulações, utilizando os parâmetros especificados na Tabela 3.9.

Na Fig. 3.16 são ilustrados os resultados de simulação para a configuração Nested de quatro níveis. As formas de ondas apresentadas nessas figuras são: (a) Tensão de polo; (b) De

Tabela 3.9: Parâmetros utilizados na simulação do inversor Nested

Frequência de chaveamento	$10kHz$
C_1 e C_2	$2200\mu F$
L	$7mH$
R	65Ω
V_{cc} (cada fonte)	$50V$
Índice de modulação	$0,9$

cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga. As mesmas formas de ondas são apresentadas nas Figs. 3.17 e 3.18 para cinco e seis níveis, respectivamente. O comportamento do Nested de quatro níveis submetido à cargas com diferentes fatores de potência é exibido na Fig. 3.19, tendo sido utilizados cargas com fatores de potência igual a: 0,6, 0,8, e 1,0.

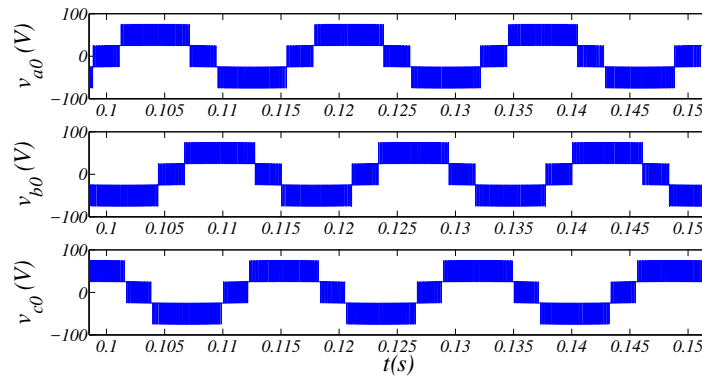
3.9 Resultados Experimentais

Para verificar a validade das configurações multiníveis Nested, foi implementado um conversor com IGBTs, modelo SKM 50GB 123D e chaves bidirecionais, modelo SK80GM063, todos da SEMIKRON. O controle das chaves foi implementado utilizando um processador digital de sinais (DSP) TMS320F28335. Os parâmetros usados no protótipo experimental foram os mesmos descritos na Tabela 3.9.

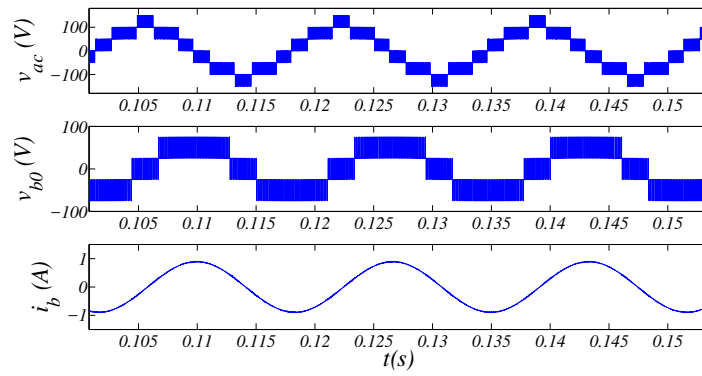
Nas Figs. 3.20 e 3.21, são ilustrados os resultados experimentais para o inversor Nested de quatro e cinco níveis. Em decorrência da quantidade de chaves e canais PWM necessários para implementação do Nested de cinco níveis trifásico, implementou-se apenas a estrutura monofásica. A concordância entre os resultados obtidos por simulações e experimentos além de validar as estruturas, demonstram a viabilidade de implementação destas.

3.10 Conclusões

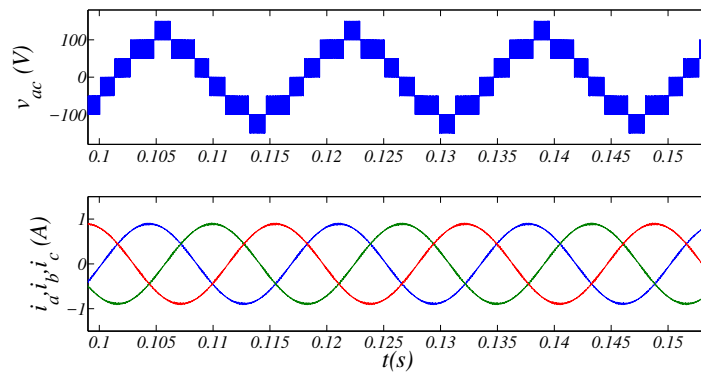
Neste capítulo foram investigadas estruturas denominadas Nested, onde o ponto central de cada um dos braços são conectados ao mesmo ponto, com o braço externo envolvendo o interno. Necessita na sua estrutura, de chaves bidirecionais nos braços mais internos, para



(a)

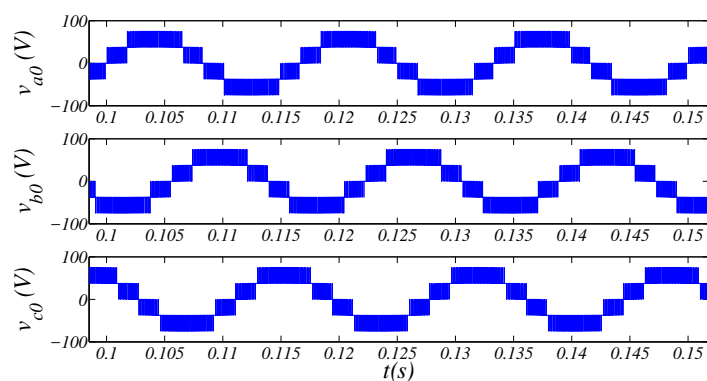


(b)

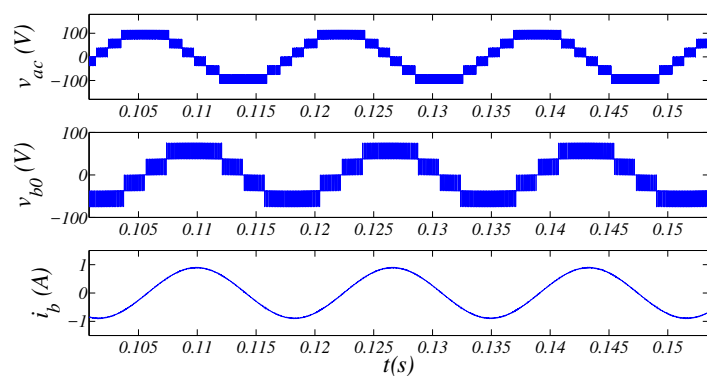


(c)

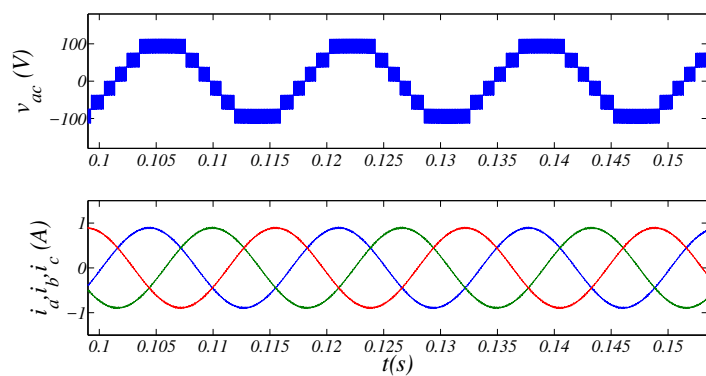
Figura 3.16: Resultados de simulação do Nested de quatro níveis. (a) Tensão de polo; (b) De cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga.



(a)

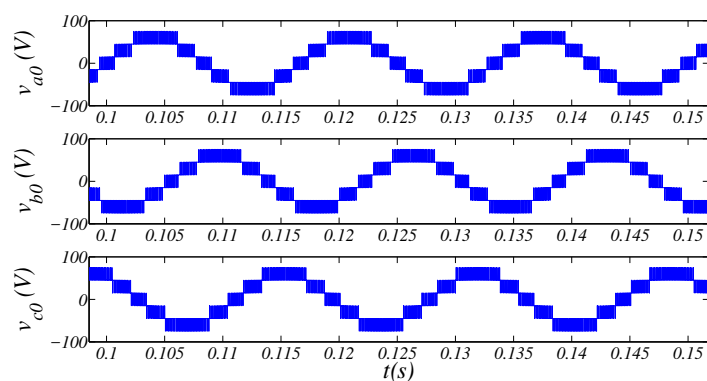


(b)

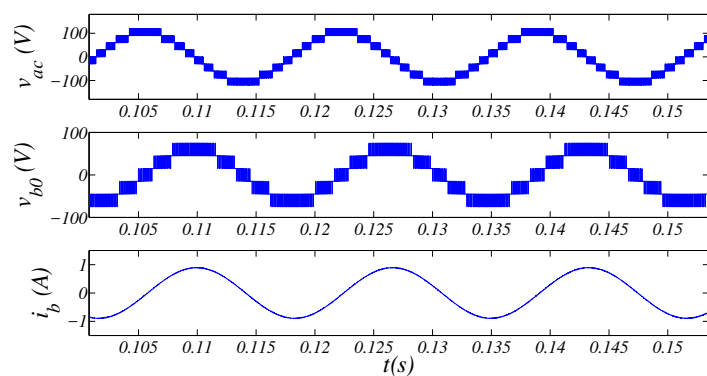


(c)

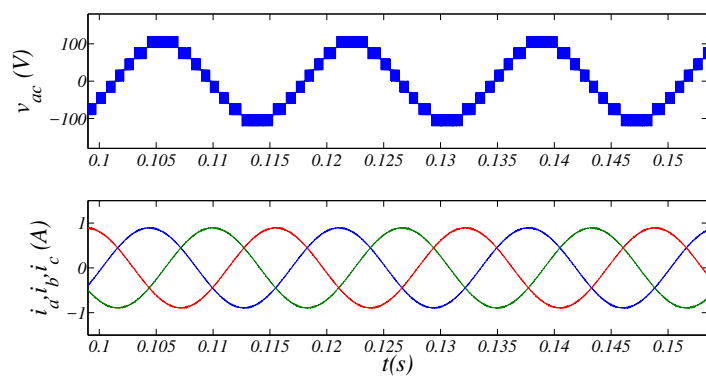
Figura 3.17: Resultados de simulação do Nested de cinco níveis. (a) Tensão de polo; (b) De cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga.



(a)



(b)



(c)

Figura 3.18: Resultados de simulação do Nested de seis níveis. (a) Tensão de polo; (b) De cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga.

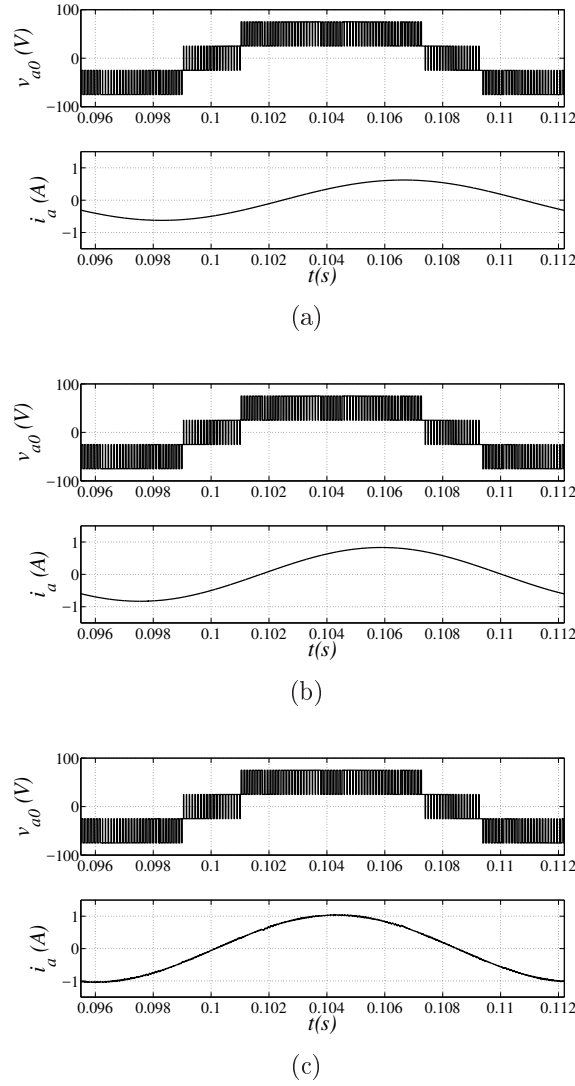
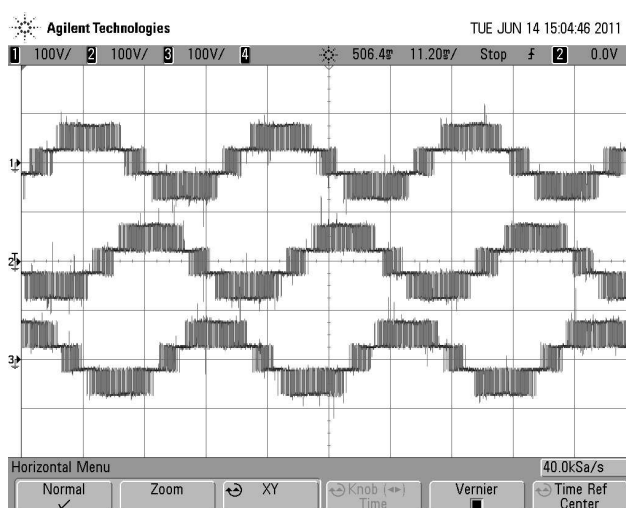


Figura 3.19: Resultados de simulação do Nested de quatro níveis com fatores de potência igual a: (a) 0,6, (a) 0,8, e (a) 1,0.

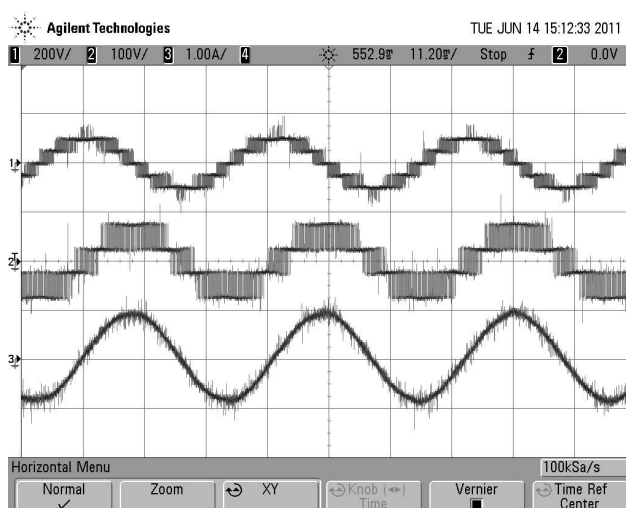
evitar que ocorra curto-circuito nos capacitores do barramento.

Para o controle das chaves, foi utilizado uma estratégia de modulação PWM híbrida baseada nos princípios da CB-PWM com as portadoras dispostas em níveis. No entanto, esta estratégia faz uso de apenas uma portadora, onde os sinais de referências são modificados de modo a produzir os mesmos efeitos da CB-PWM. É adicionado ainda às tensões de referência, o termo homopolar, estendendo a região de linearidade do mesmo modo que a modulação vetorial.

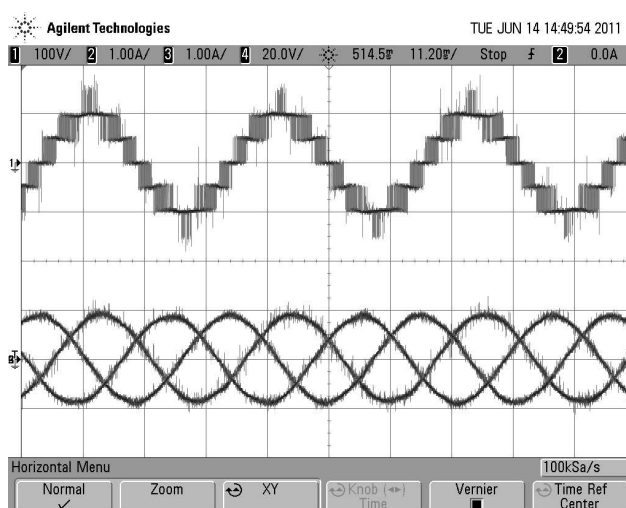
Na análise da THD do Nested de quatro, cinco e seis níveis, foi visto que a adição do termo homopolar, melhora a resposta de distorção harmônica em todos os casos, como



(a)



(b)



(c)

Figura 3.20: Resultados experimentais do Nested de quatro níveis. (a) Tensão de polo; (b) De cima para baixo: tensão de linha, tensão de polo e corrente de fase; e (c) De cima para baixo: Tensão de linha e correntes trifásicas na carga.

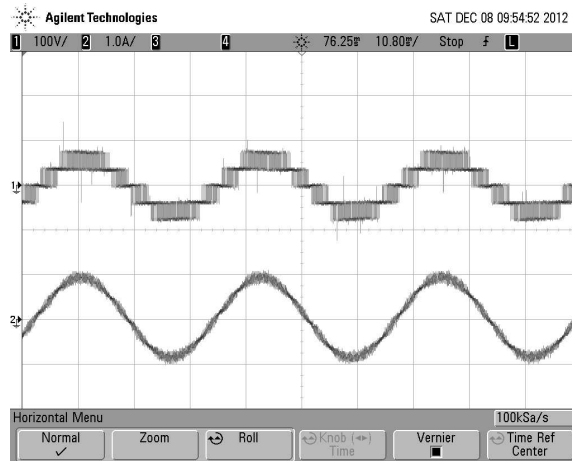


Figura 3.21: Resultados experimentais do Nested de cinco níveis monofásico: Tensão de polo e corrente na carga monofásica.

previsto. Em relação a WTHD, a melhor solução é usando $\mu = 0.5$, devido à simetria dos pulsos gerados.

Em comparação com a topologia NPC, possui a vantagem de não necessitar de diodos de grampeamento. Em relação ao NPC de quatro, cinco e seis níveis por exemplo, há uma redução de doze, dezoito e vinte e quatro diodos, respectivamente, economizando-se ainda mais a medida que se eleva o número de níveis. Em contra partida, uma importante desvantagem do Nested é que este apresenta tensão de bloqueio irregular entre as chaves, onde as chaves situadas nas extremidades (braço externo) ficam submetidas a tensão total do barramento, limitando uso da topologia em casos que necessita-se tensões mais elevadas. A menos que se utilize dispositivos com alta tensão de ruptura (por exemplo, SiC e GaN) apenas nos interruptores das extremidades.

Com relação às perdas do NPC e Nested, foi visto que as perdas por chaveamento são praticamente as mesmas. Mesmo sendo, os esforços de tensão nas chaves do Nested maiores que os esforços de tensão nas chaves do inversor NPC, o NPC de quatro níveis, possui doze diodos (de grampeamento) a mais que o Nested, contribuindo de forma significativa para o aumento da perda total do NPC. Já as perdas por condução do Nested são menores que as perdas do NPC, isso pode ser explicado devido ao número de chaves em condução simultânea do Nested ser menor que o número de chaves em condução simultânea do NPC.

As topologias Nested podem ser generalizadas para maiores números de níveis, adicionando-se braços externos em cada fase. A modulação híbrida empregada, favorece a generalização,

visto que para aplicação em conversores com mais níveis, basta apenas alterar o valor da variável N .

O inversor Nested mostra-se viável uma vez que não possui muitas chaves na sua composição em comparação a outras topologias existentes na literatura técnica, como foi visto na Tabela 3.15, além de apresentar baixa complexidade no seu controle.

4

Estratégia de Modulação Simplificada para o Conversor Híbrido 2/3 Níveis

4.1 Introdução

Ao longo dos estudos que abordam inversores multiníveis, várias características não desejadas têm sido enumeradas em relação a esses conversores, como o elevado número de componentes e estratégias de controle complexas. Diante disto, vários estudos foram realizados no sentido de reduzir esses problemas. Uma solução alternativa que combina características de inversores de dois e três níveis com um número reduzido de componentes é o inversor de 2/3 níveis proposto por (Mihalache, 2006). Este inversor é composto por um braço ANPC de três níveis e dois braços de dois níveis.

O inversor 2/3 níveis pode ser obtido através do empilhamento de duas células *c.a.* de dois níveis com três células *c.a.* sendo conectada em paralelo aos terminais A e B, formando um braço ANPC de três níveis e dois braços de dois níveis. O braço ANPC é conectado ao ponto médio do barramento capacitivo, como é ilustrado na Fig. 4.1.

Neste capítulo é feito um estudo do inversor 2/3 níveis onde é proposta uma modificação na topologia (redução do número de componentes) enquanto as características prévias são mantidas, além de apresentar uma modificação no algoritmo de operação do inversor, o que contribui para a redução no número de operações realizadas. Também é realizado um estudo comparativo de THD, WTHD e perdas entre as topologias de dois níveis, três níveis

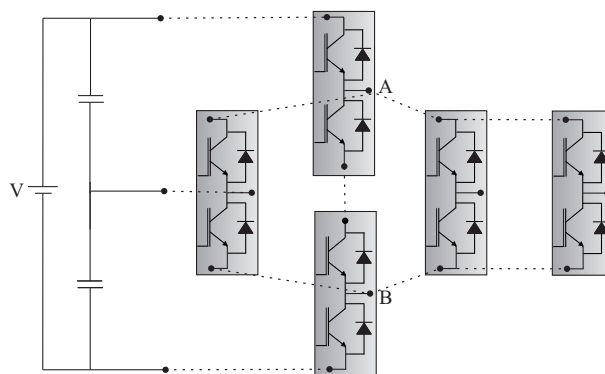


Figura 4.1: Formação do inversor de 2/3 níveis

e 2/3 níveis, visto que esta última possui características inerentes as outras duas topologias. Resultados de simulação e experimentais demonstram a validade do método proposto e suas vantagens.

4.2 Operação do inversor 2/3 Níveis

Na Fig. 4.2, observa-se o inversor 2/3 níveis proposto por (Mihalache, 2006). Tal conversor é constituído por um braço ANPC de três níveis composto pelas chaves S_1 , S_2 , S_3 , S_4 , S_{a1} e S_{a2} e dois braços de dois níveis S_{x1} e S_{x2} ($x = b, c$). Estas quatro chaves, juntas com S_{a1} e S_{a2} , formam um inversor trifásico de dois níveis que alimenta uma carga trifásica. O braço de três níveis conecta o inversor trifásico aos polos: positivo, negativo e ao ponto neutro do barramento.

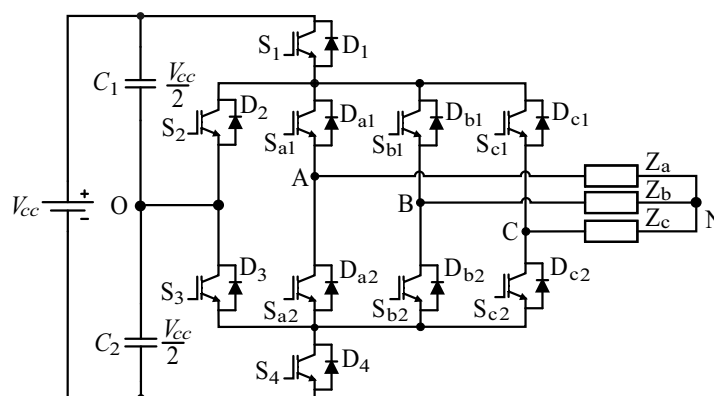


Figura 4.2: Inversor Híbrido de 2/3 níveis

As chaves S_1 e S_2 são complementares entre si, assim como as chaves S_3 e S_4 , com isso, a utilização desse braço faz com que seja possível chavear as tensões de polo, em um momento

como três níveis e em outro como dois níveis. De modo que, quando em uma das fases o chaveamento é realizado sob o modo três níveis, será aplicada à esta fase uma tensão entre $V_{cc}/2$ e 0 ou uma tensão entre 0 e $-V_{cc}/2$, sendo aplicada apenas a metade da tensão do barramento nesses instantes. Já quando em uma das fases é aplicado o chaveamento no modo dois níveis, é aplicada à esta fase uma tensão entre $V_{cc}/2$ e $-V_{cc}/2$, sendo aplicada toda a tensão do barramento.

Quando em uma das fases A, B ou C são aplicadas as tensões $V_{cc}/2$, 0 ou $-V_{cc}/2$ (modulação em três níveis), a chave do braço correspondente da ponte trifásica onde está sendo aplicada a tensão, permanece fechada, enquanto que as chaves do braço auxiliar comutam aplicando as tensões do barramento. Para o emprego da modulação em dois níveis em uma das fases A, B ou C, são aplicadas as tensões $V_{cc}/2$ e $-V_{cc}/2$, para isso as chaves do braço correspondente da ponte trifásica onde está sendo aplicada a tensão, comutam de modo sincronizado com as chaves S_1 e S_4 .

Para uma melhor compreensão, a seguir é aplicada uma sequência de estados onde as fases A, B e C são submetidas às modulações: três níveis, dois níveis e três níveis, respectivamente.

Inicialmente na fase A é aplicada a tensão 0, enquanto nas fases B e C são aplicadas a tensão $-V_{cc}/2$, Fig.4.3. Percebe-se neste momento que, estando a fase B sob modulação dois níveis, fica impossibilitado de acionar a chave S_{b1} para a aplicação de $V_{cc}/2$.

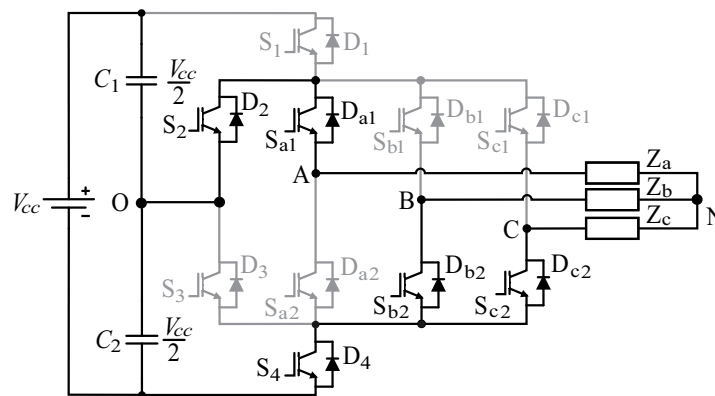


Figura 4.3: Aplicação do vetor 0,-1,-1

Em seguida, a chave S_1 é acionada aplicando $V_{cc}/2$ na fase A, Fig. 4.4.

Como agora a chave S_1 está conduzindo, pode-se acionar a chave S_{b1} , aplicando $V_{cc}/2$

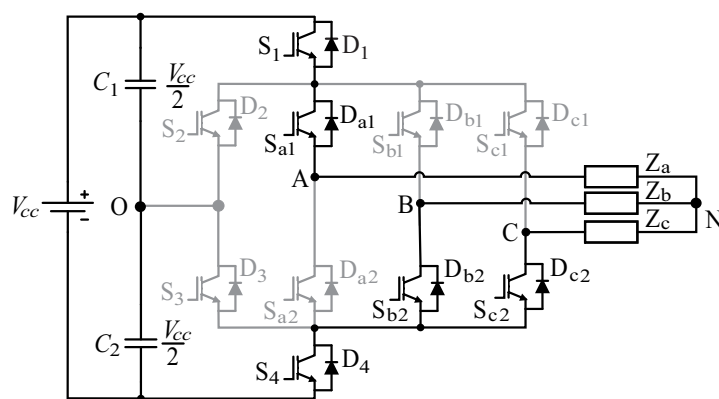


Figura 4.4: Aplicação do vetor 1,-1,-1

também na fase B, Fig. 4.5.

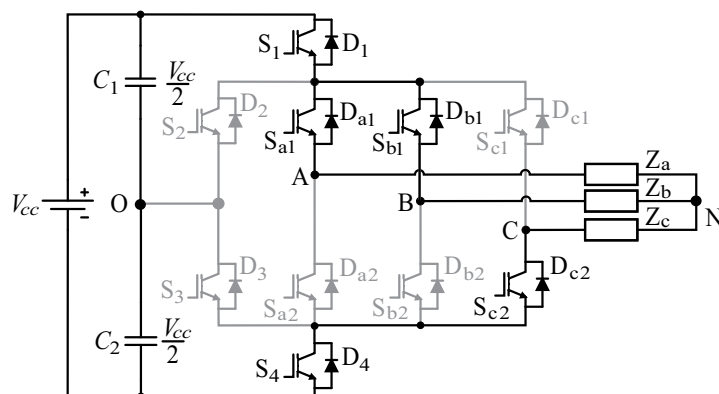


Figura 4.5: Aplicação do vetor 1,1,-1

A fase C, que estava sendo aplicada a tensão $-V_{cc}/2$ até o momento, pode agora aplicar a tensão 0 acionando a chave S_3 , uma vez que, na fase B está sendo imposta a tensão $V_{cc}/2$. Como pode ser observado na Fig. 4.6.

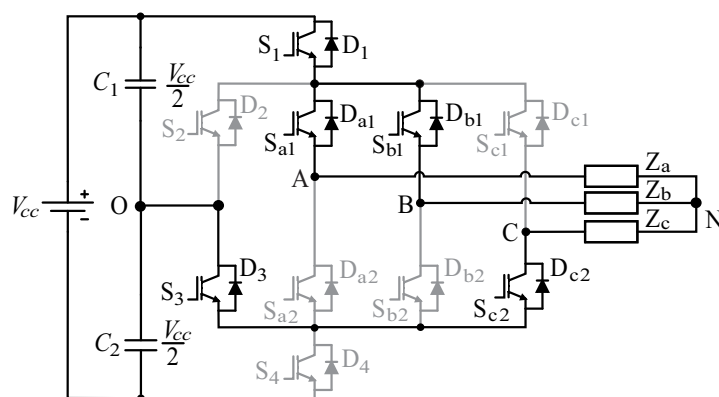


Figura 4.6: Aplicação do vetor 1,1,0

Pela descrição feita anteriormente é possível perceber que o braço ANPC tem o seu uso

compartilhado pelos três braços da ponte trifásica. Com isso, não se pode chavear os três braços em três níveis simultaneamente, o máximo que consegue-se é a modulação de duas fases em três níveis e uma fase em dois níveis ao mesmo tempo.

4.3 Estratégia de modulação

A estratégia de modulação proposta em (Mihalache, 2006) utiliza duas portadoras triangulares em fase para modulação em três níveis e uma portadora para a modulação de dois níveis convencional como pode ser observado na Fig. 4.7. Estas portadoras são comparadas a três tensões de referência senoidais (v_a , v_b e v_c) para determinar os estados das chaves do conversor. A ideia é, quando possível, chavear a tensão máxima v_{max} entre $V_{cc}/2$ e 0 e chavear a tensão mínima v_{min} entre 0 e $-V_{cc}/2$ (referida como modulação em três níveis - 3N) enquanto que a tensão média v_{med} é chaveada entre $-V_{cc}/2$ e $V_{cc}/2$ (referida como modulação em dois níveis - 2N), onde $v_{max} = \max(v_a, v_b, v_c)$, $v_{min} = \min(v_a, v_b, v_c)$ e $v_{med} = \text{med}(v_a, v_b, v_c)$. Quando a modulação em 3N não é possível para v_{max} e v_{min} , então a modulação em 2N é utilizada para a fase correspondente.

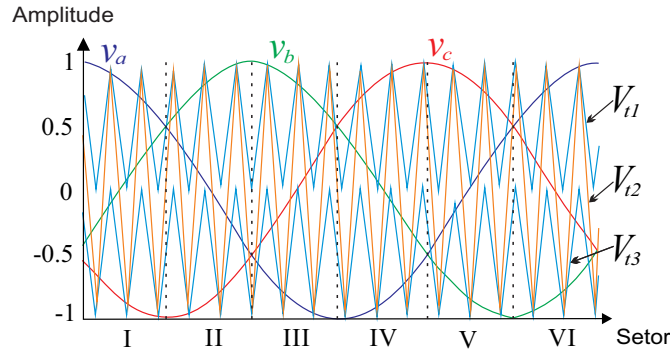


Figura 4.7: Princípio da modulação por portadora do inversor 2/3 N

Inicialmente, a estratégia de modulação divide as tensões de referências em seis setores de 60° , onde em cada setor é possível definir v_{max} , v_{med} e v_{min} , Fig. 4.7.

Para entender como é realizada a seleção do tipo de modulação 2N ou 3N, será feita a análise do setor I, onde ($v_a > v_b > v_c$). Visto que o mesmo raciocínio pode ser estendido aos demais setores.

No início do setor 1, a tensão de referência v_a é bem maior que as tensões v_b e v_c , enquanto essas duas possuem valores próximos. Isso implica que os pulsos gerados por v_a

são maiores que os pulsos gerados por v_b e v_c , como pode ser visto na Fig. 4.8. Então, é possível usar a modulação em três níveis para v_a e a modulação em dois níveis para as tensões de referências v_b e v_c . Esta operação é possível enquanto o pulso para S_1 (fase A sob modulação 3N com S_{a1} mantida acionada) for maior que o pulso para S_{b1} (fase B sob modulação 2N).

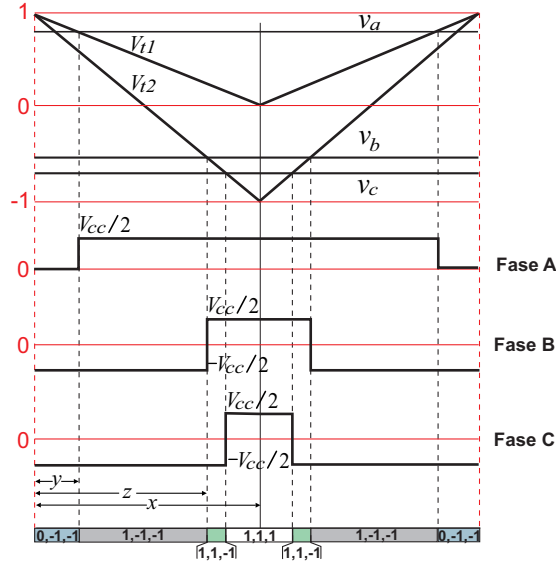


Figura 4.8: Pulsos da modulação proposta por (Mihalache, 2006) no intervalo 1 do setor 1

A equação que representa a condição descrita, pode ser obtida por meio da Fig. 4.8 utilizando semelhança de triângulo. Analisando a Fig. 4.8, percebe-se que as portadoras V_{t1} e V_{t2} formam triângulos com as tensões de referências comparadas, Fig. 4.9.

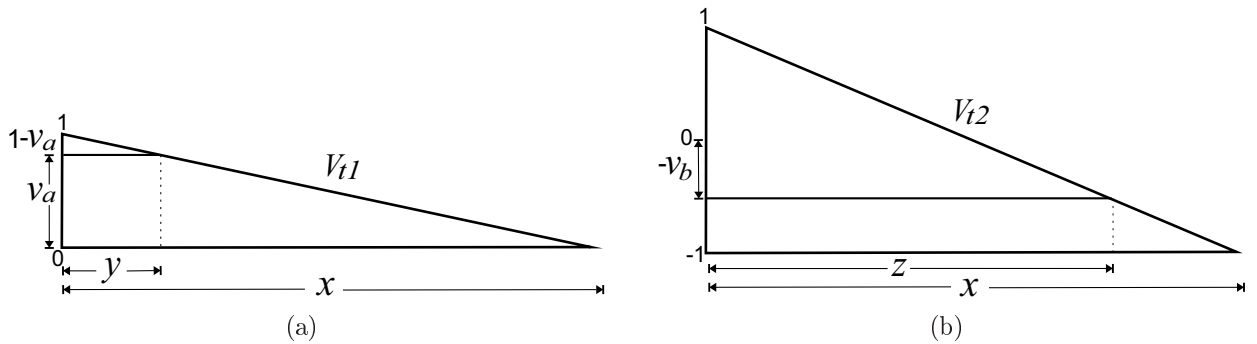


Figura 4.9: Triângulos formados pelas tensões v_a e v_b com as portadoras

Dos triângulos 4.9(a) e 4.9(b), obtém-se as seguintes equações, respectivamente.

$$\frac{1-v_a}{y} = \frac{1}{x} \Rightarrow y = x(1-v_a) \quad (4.1)$$

$$\frac{1-v_b}{z} = \frac{2}{x} \Rightarrow z = \frac{x}{2}(1-v_b) \quad (4.2)$$

Conforme descrito anteriormente, essa operação só é possível enquanto o pulso para S_1 for maior que o pulso para S_{b1} , ou seja, enquanto $y < z$, logo:

$$x(1-v_a) < \frac{x}{2}(1-v_b)$$

$$v_a > \frac{1}{2} + \frac{v_b}{2} \quad (4.3)$$

Como v_b cresce e v_c decresce no decorrer do setor 1, a diferença entre as duas fases se torna grande o bastante para empregar a modulação 3N na fase C, permanecendo a fase b com modulação 2N. Em outras palavras, os pulsos gerados por v_b se tornam maiores que os pulsos gerados por v_c , como pode ser observado na Fig. 4.10. Esta condição é satisfeita enquanto o pulso da chave S_{b1} (fase B sob modulação 2N) for maior que o pulso da chave S_3 (fase C sob modulação 3N com S_{c2} mantida acionada).

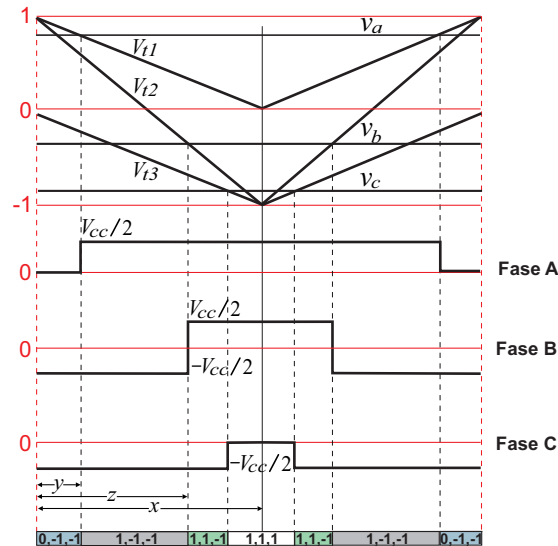


Figura 4.10: Pulsos da modulação proposta por (Mihalache, 2006) no intervalo 2 do setor 1

Da Fig. 4.10, verifica-se a formação dos triângulos retângulos da Fig. 4.11.

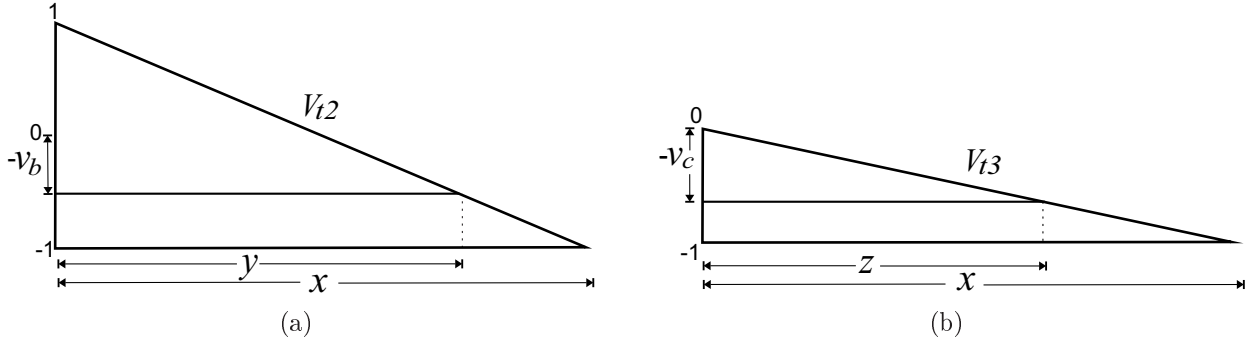


Figura 4.11: Triângulos formados pelas tensões v_b e v_c com as portadoras

Por semelhança de triângulos, obtém-se as seguintes equações, respectivamente.

$$\frac{1 - v_b}{y} = \frac{2}{x} \Rightarrow y = \frac{x}{2}(1 - v_b) \quad (4.4)$$

$$-\frac{v_c}{z} = \frac{1}{x} \Rightarrow z = -xv_c \quad (4.5)$$

Essa operação só é possível, conforme visto anteriormente, enquanto o pulso da chave S_{b1} for maior que o pulso da chave S_3 , ou seja, enquanto $y < z$, portanto:

$$\frac{x}{2}(1 - v_b) < -xv_c$$

$$\frac{1}{2}v_b > \frac{1}{2} + v_c \quad (4.6)$$

Ao aproximar-se do término do setor 1, chega-se a um certo ponto em que a eq. (4.3) passa a não mais ser satisfeita, uma vez que, ao longo do setor, v_a decresce enquanto v_b e v_c crescem e com isso a diferença entre os pulsos das fases A e B se torna muito pequena, Fig. 4.12. A condição para este caso, pode ser expressa pela seguinte equação:

$$v_a < \frac{1}{2} + \frac{v_b}{2} \quad (4.7)$$

Do exposto até aqui, observa-se que o setor 1 divide-se em momentos ou intervalos diferentes, Fig. 4.13. No primeiro intervalo, apenas a equação (4.3) é satisfeita. No segundo intervalo, as equações (4.3) e (4.6) são satisfeitas e no terceiro intervalo a equação (4.3) não é mais satisfeita.

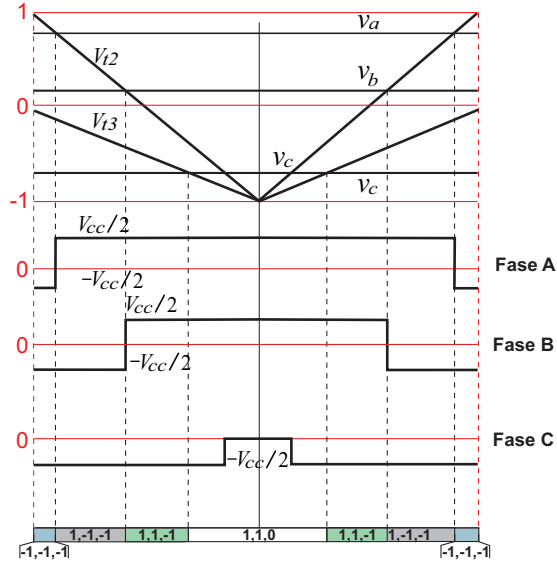


Figura 4.12: Pulsos da modulação proposta por (Mihalache, 2006) no intervalo 3 do setor 1

O intervalo 1 é o período do setor 1 onde a modulação 3N é aplicada apenas a v_{max} , enquanto o intervalo 3 é o período onde apenas a v_{min} é modulada em 3N. O intervalo 2, v_{max} e v_{min} estão sob modulação 3N. As equações que representam estes intervalos são dadas por:

$$v_a > \frac{1}{2} + \frac{1}{2}v_b \quad e \quad \frac{1}{2}v_b < \frac{1}{2} + v_c, \quad (4.8)$$

$$v_a > \frac{1}{2} + \frac{1}{2}v_b \quad e \quad \frac{1}{2}v_b > \frac{1}{2} + v_c \quad (4.9)$$

$$v_a < \frac{1}{2} + \frac{1}{2}v_b \quad e \quad \frac{1}{2}v_b > \frac{1}{2} + v_c \quad (4.10)$$

As equações (4.8), (4.9) e (4.10) correspondem aos intervalos 1, 2 e 3, respectivamente.

Visto que no setor 1, v_a possui o maior valor de tensão, v_b o valor médio e v_c o menor valor entre as três quando comparadas entre si e como $v_{max} = \max(v_a, v_b, v_c)$, $v_{min} = \min(v_a, v_b, v_c)$ e $v_{med} = \text{med}(v_a, v_b, v_c)$. As eqs.(4.8) - (4.10) podem ser generalizadas para todos os setores como:

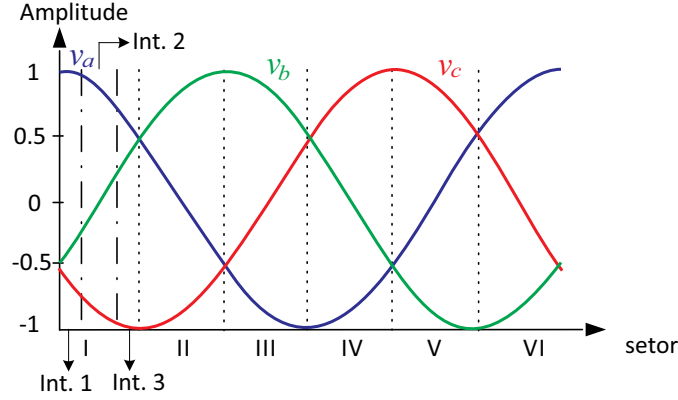


Figura 4.13: Intervalos do setor 1

$$v_{max} > \frac{1}{2} + \frac{1}{2}v_{med} \quad e \quad \frac{1}{2}v_{mid} < \frac{1}{2} + v_{min} \quad (4.11)$$

$$v_{max} > \frac{1}{2} + \frac{1}{2}v_{med} \quad e \quad \frac{1}{2}v_{mid} > \frac{1}{2} + v_{min} \quad (4.12)$$

$$v_{max} < \frac{1}{2} + \frac{1}{2}v_{med} \quad e \quad \frac{1}{2}v_{mid} > \frac{1}{2} + v_{min} \quad (4.13)$$

Na implementação prática, os intervalos 1, 2 e 3 não precisam ser calculados para estabelecer que tipo de modulação 2N ou 3N é necessário para cada fase. Em vez disso, o método consiste em avaliar se as eqs. (4.11) - (4.13) são verdadeiras ou falsas e, baseado nessas decisões, aplicar a modulação 2N ou 3N para uma das fases identificadas como v_{max} , v_{med} e v_{min} em cada setor de 60° , como pode ser observado nos fluxogramas das Figs. 4.14(a) e 4.14(b).

Observa-se nos fluxogramas que quando as eqs. (4.11) - (4.13) não são satisfeitas, todas as fases são moduladas em 2N. Isso ocorre quando utiliza-se um índice de modulação abaixo de 0,5. Neste caso, os pulsos gerados por v_{max} não são maiores o suficiente do que os pulsos gerados por v_{med} , que por sua vez não são maiores suficientes que v_{min} para poder modular alguma das fases em 3L.

Portanto, o procedimento para aplicação da estratégia de modulação proposta por (Mihalache, 2006) consistem em:

- Definir as tensões de referências v_a , v_b e v_c ;
- Determinar v_{max} , v_{med} e v_{min} ;

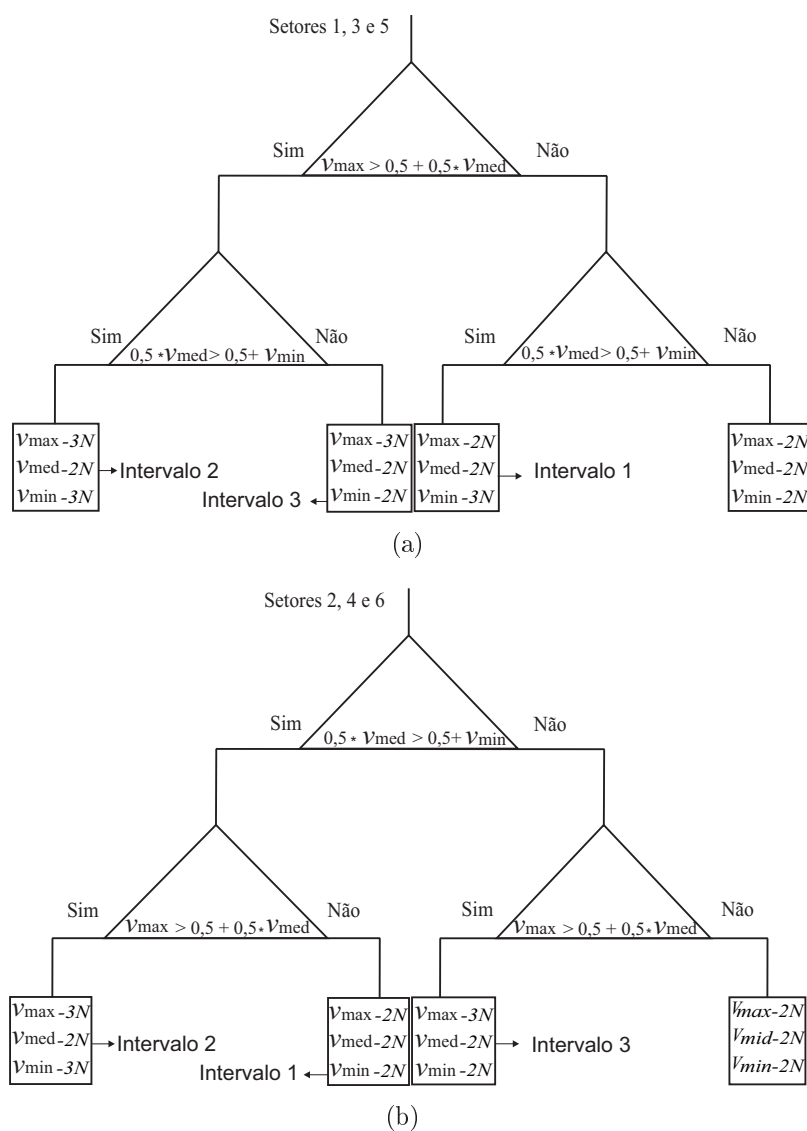


Figura 4.14: Fluxograma da modulação proposta por (Mihalache, 2006): (a) para os setores 1, 3 e 5; (b) para os setores 2, 4 e 6.

- Determinar os seis setores de 60°;
- Avaliar em cada setor se as equações (4.11), (4.12) e (4.13) são verdadeiras ou não, conforme os fluxogramas da Fig. 4.14.
- Aplicar o tipo de modulação correspondente 2N ou 3N.

4.4 Estratégia de modulação Proposta

Na estratégia convencional, do inversor 2/3 níveis abordada na seção anterior, é necessário identificar seis setores, onde cada setor é dividido em três intervalos, resultando no total de dezoito intervalos, como pode ser visto na Fig. 4.15, na qual as condições de (4.11) a (4.13) são representadas. Além disso, para cada intervalo é determinado qual tipo de modulação será aplicado para cada fase, dois ou três níveis. Isto resulta no total de 54 operações, o que leva a um certo esforço computacional, além de demandar muito trabalho por parte do usuário. Por essas razões uma nova técnica é introduzida a seguir.

Rearranjando as equações (4.8), (4.9) e (4.10) é possível reescrevê-las como:

$$v_a > \frac{1}{2} + \frac{1}{2}v_b \quad e \quad -\frac{1}{2} + \frac{1}{2}v_b < v_c \quad (4.14)$$

$$v_a > \frac{1}{2} + \frac{1}{2}v_b \quad e \quad -\frac{1}{2} + \frac{1}{2}v_b > v_c \quad (4.15)$$

$$v_a < \frac{1}{2} + \frac{1}{2}v_b \quad e \quad -\frac{1}{2} + \frac{1}{2}v_b > v_c \quad (4.16)$$

Relembrando que para o intervalo 1, v_a é chaveada com modulação 3N, enquanto v_b e v_c com modulação 2N. Para o intervalo 2, v_a e v_c são chaveadas com modulação 3N e v_b com modulação 2N; e para o intervalo 3, v_a e v_b são chaveadas com modulação 2N e v_c com modulação 3N. Diante desta observação, as condições impostas pelas equações (4.14) - (4.16) podem ser expressas de forma genérica como:

$$Se, \quad v_{ref} > \frac{1}{2} + \frac{1}{2}v_{med} \quad ou \quad v_{ref} < -\frac{1}{2} + \frac{1}{2}v_{med}, \quad modula - se em 3 \text{ níveis} \quad (4.17)$$

$$Se, \quad \frac{1}{2} + \frac{1}{2}v_{med} < v_{ref} < -\frac{1}{2} + \frac{1}{2}v_{med}, \quad modula - se em 2 \text{ níveis} \quad (4.18)$$

Onde $v_{ref} = \{v_a, v_b, v_c\}$ e $v_{med} = medio\{v_a, v_b, v_c\}$

Em suma, a satisfação das condições (4.17) e (4.18) pelas referências v_a , v_b ou v_c , claramente define o tipo de modulação a ser empregado.

Como ilustrado na Fig. 4.16, a divisão por setores não é mais necessário. A simplificação alcançada com este método pode ser medida em termos do esforço computacional. A comparação das tensões de referências com as expressões em função de v_{med} para determinar que tipo de modulação será aplicado em cada fase, dois ou três níveis, é feito com um total de nove operações. Por sua vez, a modulação convencional necessita de cinquenta e quatro operações.

O procedimento para a aplicação da estratégia de modulação proposta, consiste nas seguintes etapas:

- Definir as tensões de referências v_a , v_b e v_c ;
- Determinar v_{med} ;
- Comparar as tensões de referências conforme as equações (4.17) e (4.18);
- Aplicar o tipo de modulação correspondente 2N ou 3N.

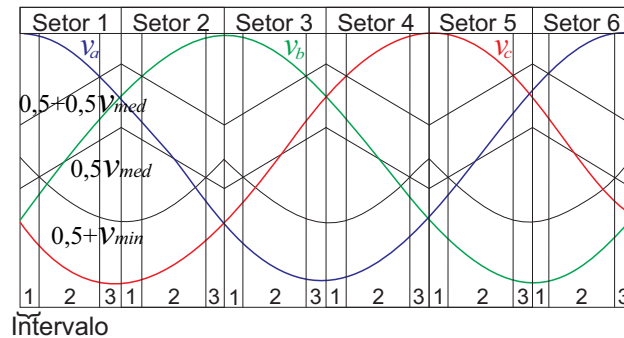


Figura 4.15: Método introduzido por Mihalache, mostrando os seis setores e os dezoitos intervalos a serem determinados

O fluxograma correspondente à modulação proposta é ilustrado na Fig. 4.17

O método tradicional e o proposto, foram apresentados considerando apenas a modulação senoidal, no entanto, pode se adicionar às tensões de referências, a tensão de sequência zero ou tensão homopolar para obtenção das mesmas vantagens do PWM vetorial. Para modulação

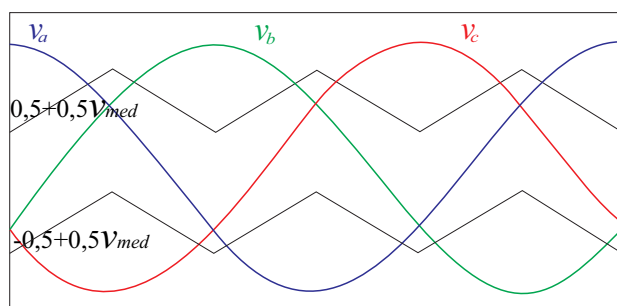


Figura 4.16: Método proposto: utilizando as equações (4.17) e (4.18)

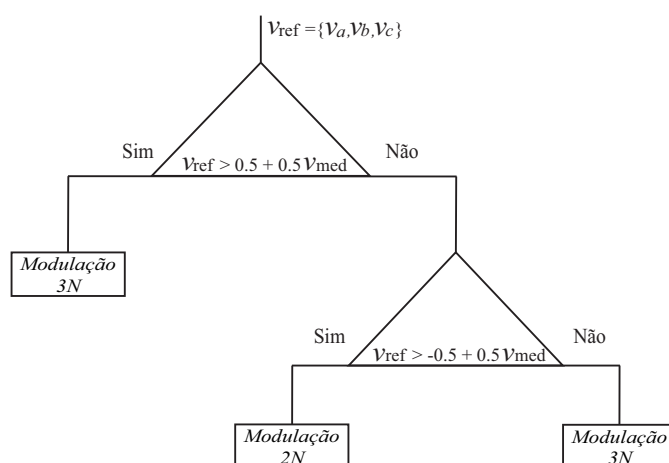


Figura 4.17: Fluxograma da modulação proposta

em três ou mais níveis, a obtenção da tensão homopolar é mais complexa que para modulação em dois níveis, pois a primeira e a última transição em cada período de chaveamento não são determinadas pelas referências de maior e menor valor, respectivamente. Observando as Figs 4.8 - 4.12 pode ser visto que na modulação do inversor 2/3N, a primeira e a última transição em cada período de chaveamento é determinada pela tensões de referências máxima e mínima (Mihalache, 2006). Então neste caso, a tensão homopolar necessária para estender a região de linearidade tornando possível alcançar um índice de modulação igual 1.15, é idêntica a modulação dois níveis, eq. (4.19).

$$v_h = \frac{v_{max} + v_{min}}{2} \quad (4.19)$$

Adicionado o termo v_h , as equações (4.17) e (4.18) podem ser reescritas tornando:

$$Se, v_{ref} > \frac{1}{2} + \frac{1}{4}v_{med} \text{ ou } v_{ref} < -\frac{1}{2} + \frac{1}{4}v_{med}, \text{ modula-se em 3 níveis} \quad (4.20)$$

$$Se, \frac{1}{2} + \frac{1}{4}v_{med} < v_{ref} < -\frac{1}{2} + \frac{1}{4}v_{med}, \text{ modula-se em 2 níveis} \quad (4.21)$$

Nas Figs. 4.18, 4.19 e 4.20 são mostrados os diagramas vetoriais dos inversores de 2 níveis, 2/3 níveis e 3 níveis, respectivamente. Percebe-se que o conversor 2/3 níveis não produz os vetores médios.

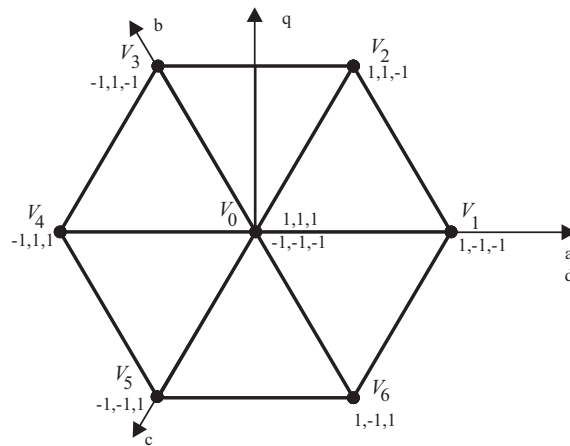


Figura 4.18: Diagrama vetorial 2N

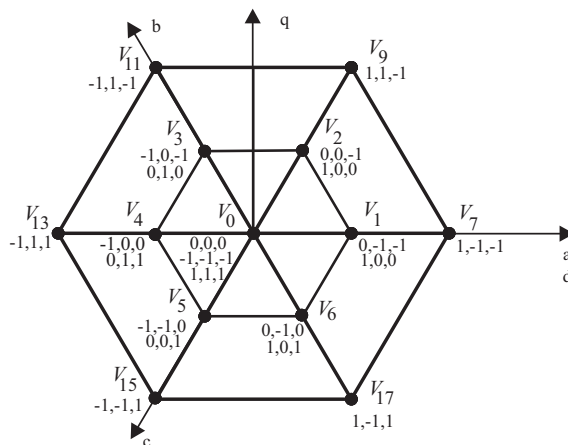


Figura 4.19: Diagrama vetorial 2/3N

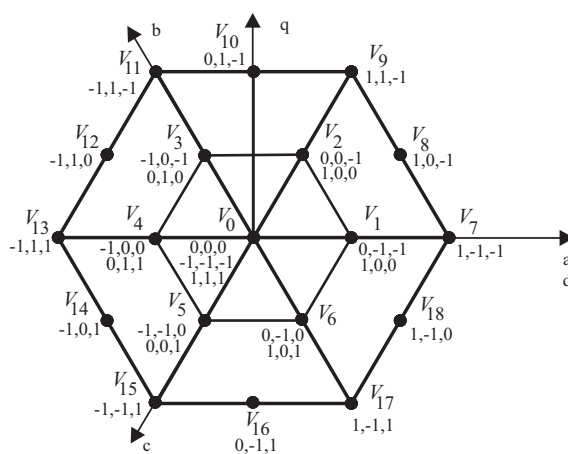


Figura 4.20: Diagrama vetorial 3N

Os vetores do grupo zero ($Z = \text{Zero Vector}$, V_0) e do grupo grande ($L = \text{Large Vectors}$, $V_7, V_9, V_{11}, V_{13}, V_{15}$ e V_{17}) são criados por apenas uma combinação dos interruptores. Estes vetores não afetam o equilíbrio das tensões nos capacitores *c.c.*, uma vez que as combinações dos interruptores que os originam não possibilitam nem a carga nem a descarga das tensões nestes capacitores.

Cada vetor do grupo pequeno ($S = \text{Small Vectors}$, V_1, V_2, V_3, V_4, V_5 e V_6), é criado por duas combinações diferentes dos interruptores. Dependendo do sentido da corrente na fase, uma das duas combinações dos interruptores possibilita carregar um capacitor e descarregar o outro, enquanto a outra combinação faz o inverso.

Já para o grupo dos vetores médios ($M = \text{Middle Vectors}$, $V_8, V_{10}, V_{12}, V_{14}, V_{16}$ e V_{18}), os seus vetores também afetam o equilíbrio da tensão no ponto central do barramento *c.c.*, porém, não se pode utilizar a mesma estratégia definida para o grupo S, uma vez que cada vetor do grupo M também é determinado por apenas uma combinação dos interruptores.

Então, o efeito imediato é que o balanceamento da tensão através de C_1 e C_2 é relativamente fácil, bastando apenas utilizar dois estados redundantes em dois períodos de chaveamento consecutivos.

4.5 Conversor híbrido 2/3 níveis utilizando célula NPC

A aplicação da estratégia de modulação ao circuito da Fig. 4.2, tem revelado que não há corrente nas chaves S_2 e S_3 para uma certa condição de carga aplicada. Isto significa que a célula ANPC pode ser substituída por uma célula NPC, para efeito de redução do número de componentes, como é mostrado na Fig. 4.21. Na Fig. 4.22 são ilustradas as configurações equivalentes no intervalo 1 do setor 1.

Uma desvantagem da topologia proposta, é que este opera de forma satisfatória para cargas com fator de potência acima de aproximadamente 0,66. Para fatores de potência menores que esse limite, a direção da corrente interfere na aplicação do nível 0. Por exemplo, se o conversor está operando com a modulação 3N no semiciclo positivo, e os níveis 1 e 0 estão sendo aplicados, o nível 0 não pode ser aplicado se a corrente flui da carga para o barramento *c.c.*, até a corrente se tornar positiva.

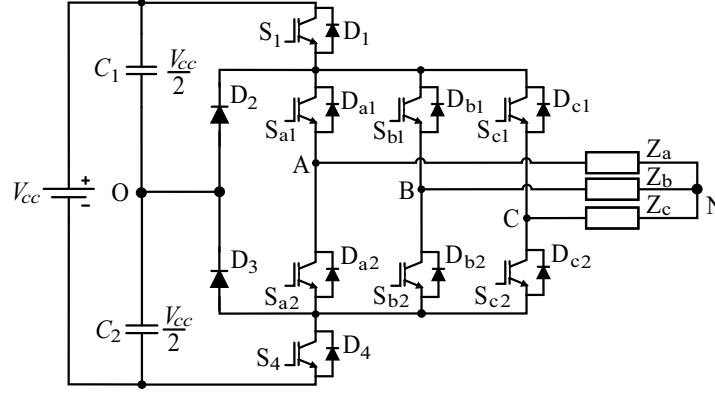


Figura 4.21: Inversor Híbrido de 2/3 níveis

4.6 Estudo de perdas nos semicondutores

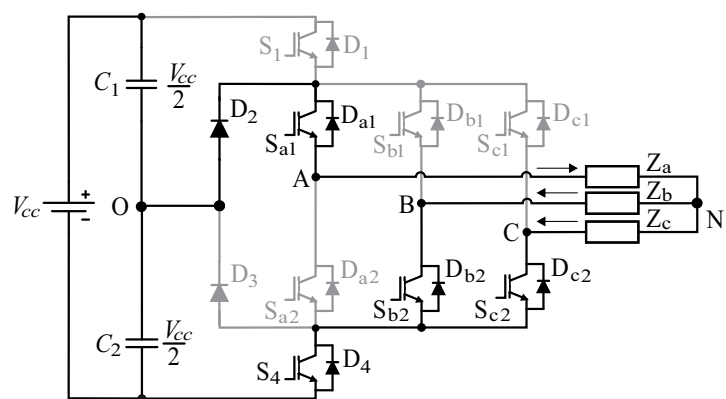
A configuração 2/3 níveis com célula ANPC, foi comparada com a topologia NPC de três níveis e o inversor de dois níveis convencional em termos de perdas, uma vez que o inversor em estudo apresenta características comum a esses dois inversores. Tal comparação, foi feita utilizando três valores de tensão do barramento: 150V, 300V e 600V, tomando quatro valores de frequência de chaveamento: 750Hz, 2kHz, 5kHz e 10kHz. A impedância da carga foi alterado de acordo com a tensão de barramento aplicada de forma que a corrente de carga fosse mantida em 10A para todos os casos.

Na Fig. 4.23 é ilustrado o gráfico com as perdas totais para as três configurações, considerando todos os casos analisados.

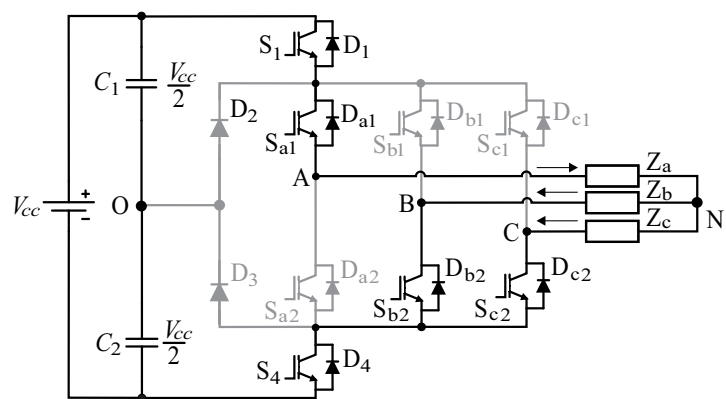
Como se pode observar, para maiores frequências de chaveamento e tensão de barramento aplicadas, as perdas no inversor de dois níveis convencional são as mais altas, enquanto que o inversor NPC de três níveis apresenta as menores perdas. Isto ocorre devido as chaves do inversor de três níveis serem submetidas à metade da tensão do barramento, fazendo com que as perdas por comutação sejam bem inferiores que às demais topologias.

Para a frequência de chaveamento mais baixa e a tensão de barramento menor dentre as consideradas, as perdas totais no conversor de dois níveis são menores, visto que apresentem perdas por condução bem inferiores em virtude de possuir menos chaves que os outros inversores.

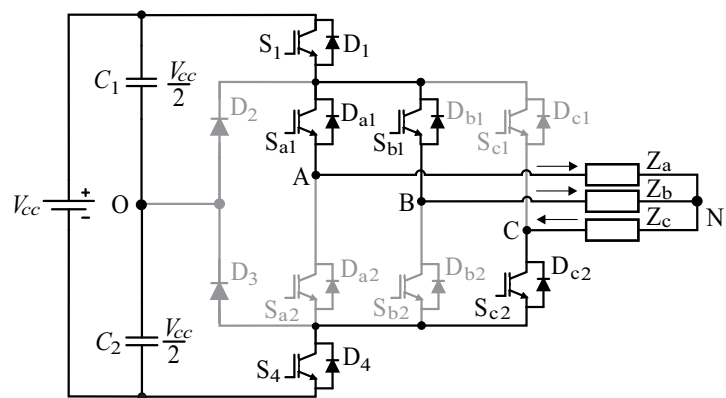
O inversor 2/3 níveis por ser uma topologia que possui características de ambas as configurações comparadas, se sai melhor que o inversor de dois níveis para as mais altas



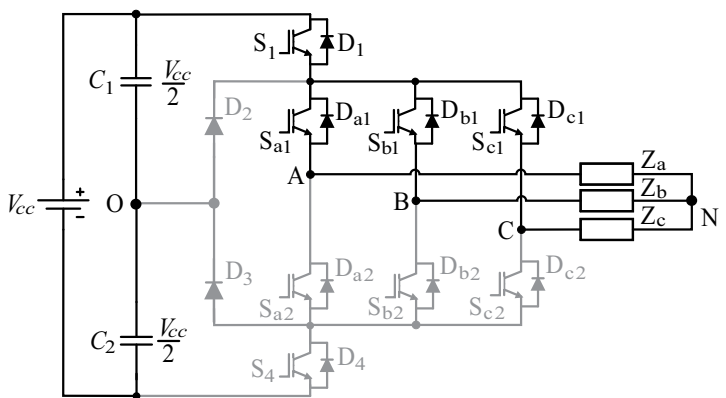
(a)



(b)



(c)



(d)

Figura 4.22: Sequências de configurações para para o intervalo 1 do Setor 1

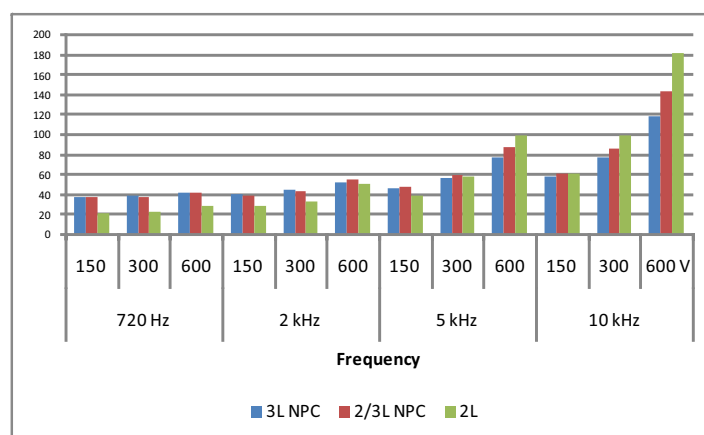


Figura 4.23: Comparação de perdas totais versus frequência de chaveamento e tensão do barramento

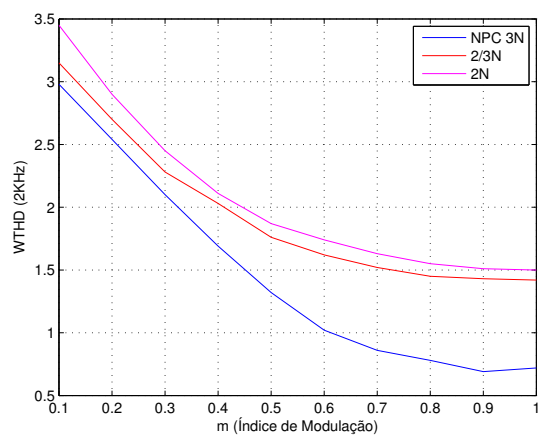
frequências de chaveamento e maiores tensões *c.c.*. Com relação ao NPC, apresenta melhor desempenho para baixa frequência e tensão. Isso pode ser explicado pelo fato do inversor 2/3 níveis possuir a vantagem do inversor NPC, ou seja, apresenta chaves que comutam com frequências diferentes, reduzindo perdas por condução. Em contra-partida, possui a desvantagem do inversor de dois níveis de que algumas das chaves são submetidas à tensão total do barramento quando estão bloqueadas, fazendo com as perdas por chaveamento se elevem.

4.7 THD e WTHD

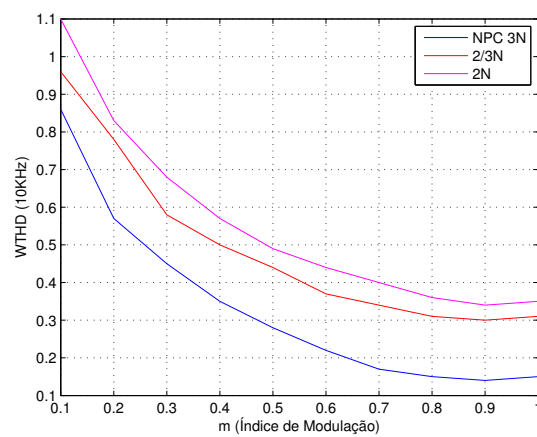
Foi realizado um estudo comparativo de WTHD e THD do inversor 2/3 níveis, do inversor NPC de três níveis e o inversor de dois níveis convencional.

Nas Figs. 4.24 (a) e (b) são ilustradas as curvas da WTHD da tensão de carga das três topologias, enquanto que nas Figs. 4.25 (a) e (b) são ilustradas as curvas da THD. Tanto a WTHD quanto a THD foram calculados considerando duas frequências de chaveamento $2kHz$ e $10kHz$

Em todos os casos o inversor 2/3 níveis mostrou melhores resultados que o inversor de dois níveis e piores resultados que o inversor de três níveis, visto que a modulação da configuração de 2/3 níveis impõe ambos os modos de operação.

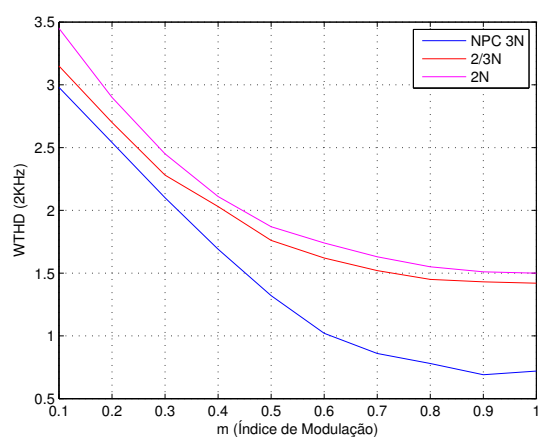


(a)

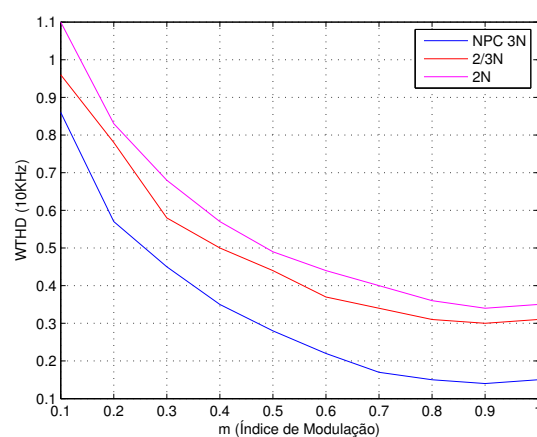


(b)

Figura 4.24: WTHD: (a) 2kHz; (b) 10kHz



(a)



(b)

Figura 4.25: THD: (a) 2kHz; (b) 10kHz

4.8 Resultados de Simulações

Na Fig. 4.26 são ilustrados os resultados de simulação do conversor 2/3 níveis utilizando o algoritmo proposto. Nas Figs. 4.26 (a) e (b) são ilustrados de cima para baixo: tensão de pólo, correntes na carga trifásica, tensão de linha e tensões nos capacitores do barramento. Os parâmetros utilizados na simulação são especificados na Tabela 4.1.

Tabela 4.1: Parâmetros utilizados na simulação do inversor 2/3 níveis

Frequência de chaveamento	$10kHz$
C_1 e C_2	$2200\mu F$
L	$7mH$
R	65Ω
V_{cc}	$100V$
Índice de modulação	$0,9$

Detalhes da tensão de polo são dados na Fig. 4.27, no qual os intervalos do setor 1 são indicados. Nota-se, para o intervalo 1, que a fase A é modulada em 3N enquanto as fases B e C são moduladas em 2N. No intervalo 2, a fase C passa a ser modulada em 3N, enquanto as fases A e B mantêm a modulação prévia, que são 3N e 2N, respectivamente. Finalmente, pode ser visto no intervalo 3 que a fase A muda para a modulação 2N enquanto as fases B e C mantêm a modulação do intervalo 2, que são, 2N e 3N, respectivamente.

4.9 Resultados Experimentais

Para verificar a validade do algoritmo, foi implementado o conversor 2/3 níveis com IGBTs da SEMIKRON controlados por um processador digital de sinais (DSP) TMS320F28335. Os parâmetros utilizados para obtenção dos resultados experimentais foram os mesmos da Tabela 4.1.

Na Fig. 4.28, são ilustradas as curvas da (a) tensão de polo; (b) tensão de linha e (c) correntes trifásica na carga. Das Figs. 4.26 e 4.28 pode-se observar a concordância entre os resultados de simulações e experimentais.

Um importante aspecto na implementação via DSP, é que as formas de ondas triangulares (portadoras) possuem apenas valores positivos, visto que são implementados via contadores.

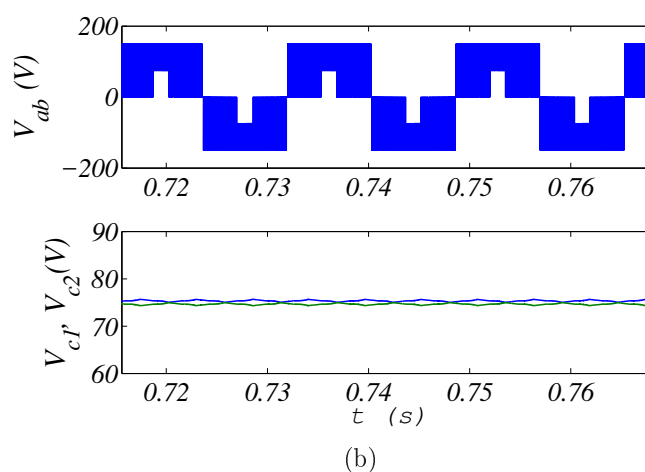
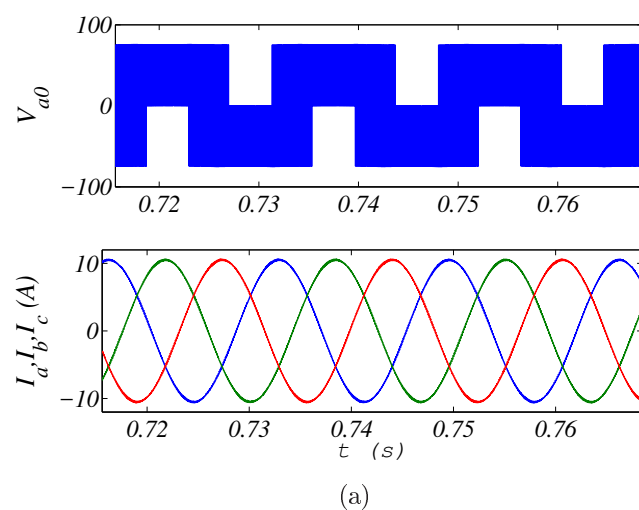


Figura 4.26: Resultados de simulações. (a) (de cima para baixo) tensão de polo e correntes na carga trifásica; (b) (de cima para baixo) tensão de linha e tensões nos capacitores do barramento

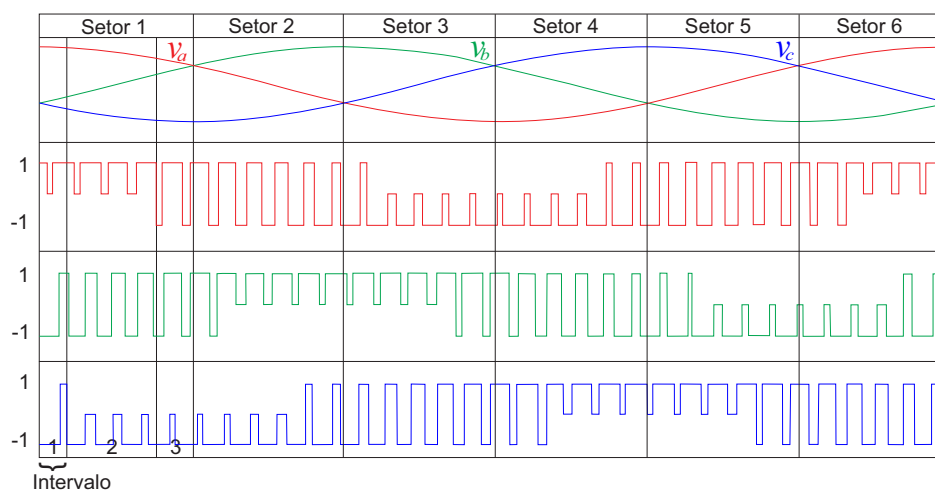
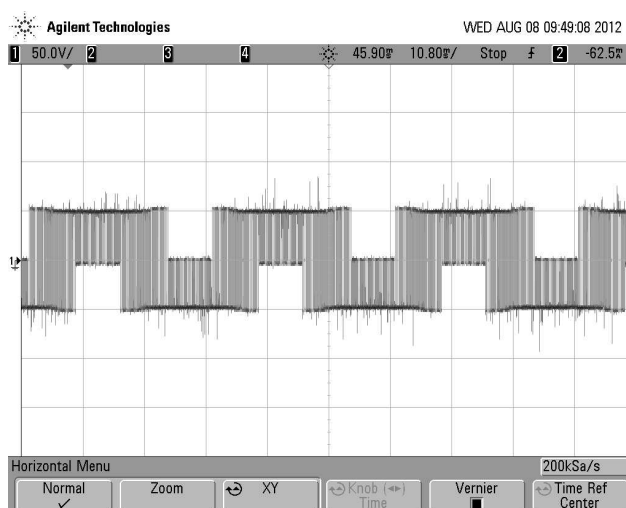
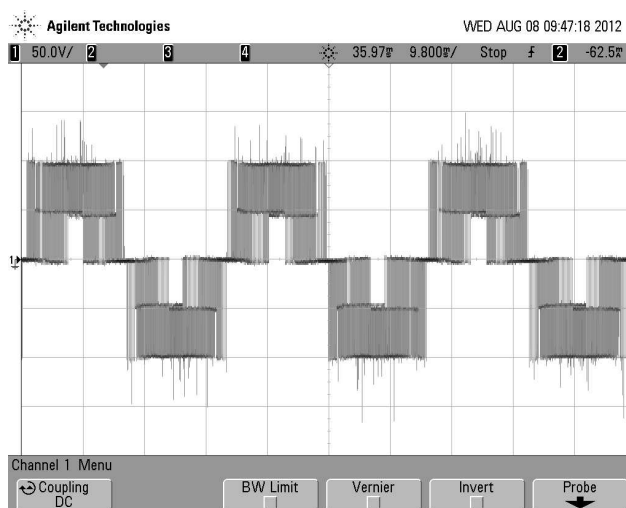


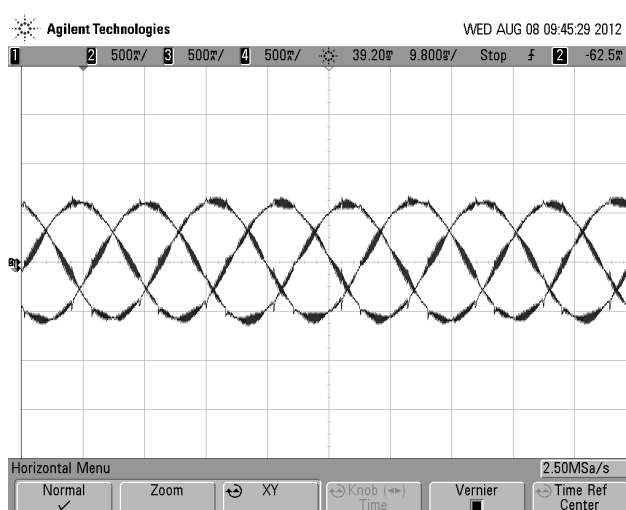
Figura 4.27: Detalhes da tensão de polo



(a)



(b)



(c)

Figura 4.28: Resultados experimentais. (a) tensão de polo; (b) tensão de linha e (c) correntes trifásicas

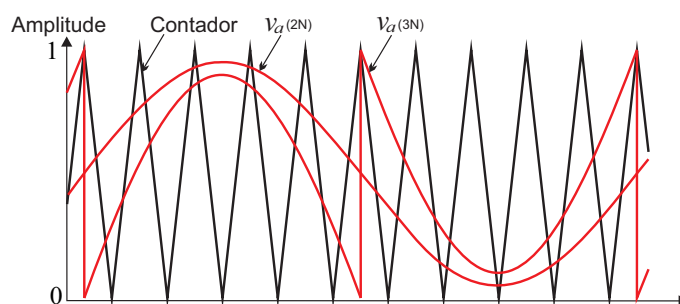


Figura 4.29: Implementação no DSP do princípio da modulação do inversor 2/3 N

A implementação da modulação do conversor de três níveis necessita de dois contadores para a emulação dos sinais da portadora e apenas um contador é disponível no DSP. Para resolver tal problema, foi implementado um conjunto formado por um contador, uma referência senoidal para operação em dois níveis e uma referência modificada (adição de um sinal *c.c.* ao semi-ciclo negativo) para operação em três níveis, como pode ser observado na Fig. 4.29. Sendo relevante mencionar que estes sinais equivalem aos da Fig. 4.7.

4.10 Conclusões

Neste capítulo, foi proposto um algoritmo de modulação simplificado para o inversor de 2/3 níveis proposto em (Mihalache, 2006). A nova estratégia PWM reduz significativamente o número de operações realizadas, necessitando de apenas nove operações, em vez de 54 necessárias na modulação tradicional, gerando os mesmos resultados.

A aplicação da nova estratégia de modulação ao inversor, revelou que a célula ANPC pode ser substituída por uma célula NPC, para efeito de redução do número de componentes, sem perdas das características dos sinais de saída para cargas com fator de potência acima de aproximadamente 0,66. No entanto, um fato que mitiga a importância de tal limitação, é que a maioria das cargas industriais como motores elétricos possuem fator de potência acima desse valor.

Também, foi realizado um estudo comparativo entre a configuração de 2/3 níveis, a topologia NPC de três níveis e o inversor de dois níveis convencional. Nesse estudo foram analisadas as perdas totais, o WTHD das tensões na carga e o THD das correntes da carga.

O inversor 2/3 níveis por ser uma topologia que possui características de ambas as confi-

gurações comparadas, se sai melhor que o inversor de dois níveis para as mais altas frequências de chaveamento e maiores tensões *c.c.*. Com relação ao NPC, este apresenta melhor desempenho para baixa frequência e tensão. Isso pode ser explicado pelo fato do inversor 2/3 níveis possuir a vantagem do inversor NPC, ou seja, apresenta chaves que comutam com frequências diferentes, reduzindo perdas por condução. Em contra-partida, possui a desvantagem do inversor de dois níveis, de que algumas das chaves são submetidas à tensão total do barramento quando estão bloqueadas, fazendo com as perdas por chaveamento se elevem, essa característica sugerem que o inversor 2/3 níveis é uma boa opção em aplicações com baixa tensão.

Com relação a THD e WTHD, em todos os casos o inversor 2/3 níveis mostrou melhores resultados que o inversor de dois níveis e piores resultados que o inversor de três níveis, visto que a modulação da configuração de 2/3 níveis impõe ambos os modos de operação.

5

Inversores Híbridos de Cinco Níveis baseados nas Topologias Meia-Ponte e ANPC

5.1 Introdução

Neste capítulo são apresentados dois inversores derivados da topologia híbrida de cinco níveis apresentada por (Silva et al., 2011), denominado de inversor multinível híbrido simétrico de cinco níveis baseado nas topologias meia-ponte e ANPC - HB-ANPC. Como o próprio nome diz, este inversor é oriundo de duas estruturas bem conhecidas na literatura, a meia-ponte (HB - Half - Bridge), que apresenta como característica a possibilidade do aumento do número de níveis quando combinado a outras estruturas, e a com grampeado ativo pelo neutro (ANPC - Active Neutral Point Clamped), concebida com o intuito de distribuir as perdas de maneira mais uniforme que a topologia NPC. Apesar do inversor apresentar diversas vantagens frente a outras topologias como descritas por (Silva et al., 2011), possui como desvantagem principal a necessidade de um elevado número de fontes isoladas para implementação da configuração trifásica (seis no total). Uma forma de contornar esse obstáculo, consiste na utilização de barramento capacitivos. Porém, a oscilação das tensões presente nos capacitores da estrutura, obriga a implementação de técnicas de controle. Sendo estas bastante difíceis por se trata de um inversor de cinco níveis.

As duas topologias propostas podem ser obtidas através do empilhamento de duas células

c.a. de dois níveis com uma célula *c.a.* sendo conectada em paralelo aos terminais A e B, formando um braço ANPC de três níveis. O braço de três níveis é conectado em paralelo a um braço de dois níveis, formando uma célula monofásica. Na primeira topologia, um capacitor é conectado no braço ANPC e na segunda topologia o capacitor é substituído por fonte de tensão, como são ilustrados nas Figs. 5.1(a) e 5.1(b).

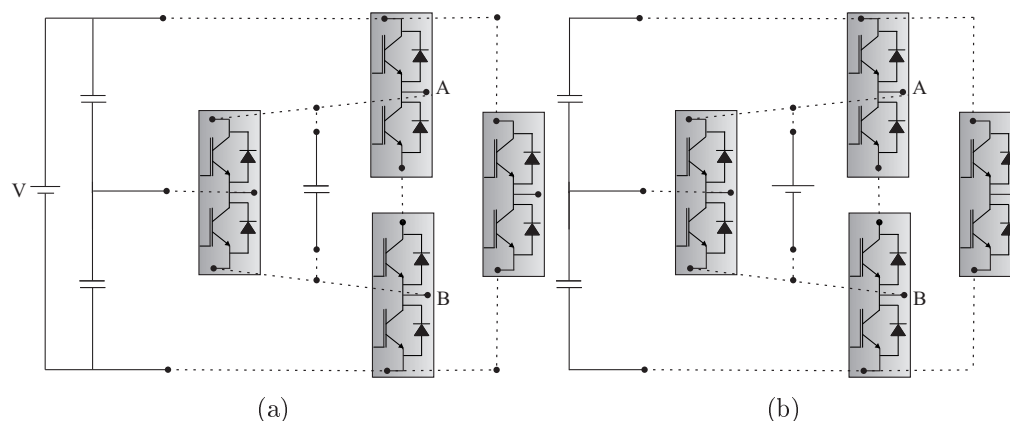


Figura 5.1: Formação das topologias propostas: (a) com capacitor no braço ANPC
(b) com fonte de tensão no braço ANPC

As duas topologias propostas fornecem um melhor controle do balanceamento das tensões dos capacitores, além de reduzir o número de fontes *c.c.* utilizadas. São analisados em detalhe os modos de operações das topologias, assim como a estratégia de modulação empregada.

Ao final do capítulo é feito um estudo comparativo entre as três topologias onde são analisados alguns pontos relevantes.

5.2 Inversor Híbrido Simétrico de Cinco Níveis baseado nas Topologias Meia-ponte e ANPC

A topologia proposta por (Silva et al., 2011) é mostrada em sua versão trifásica na Fig. 5.2, onde cada fase é alimentada por uma estrutura em ponte-completa formada por um braço dois níveis e um braço ANPC de três níveis, utilizando em sua alimentação seis fontes de tensões isoladas. A seguir são analisadas algumas características a cerca do inversor.

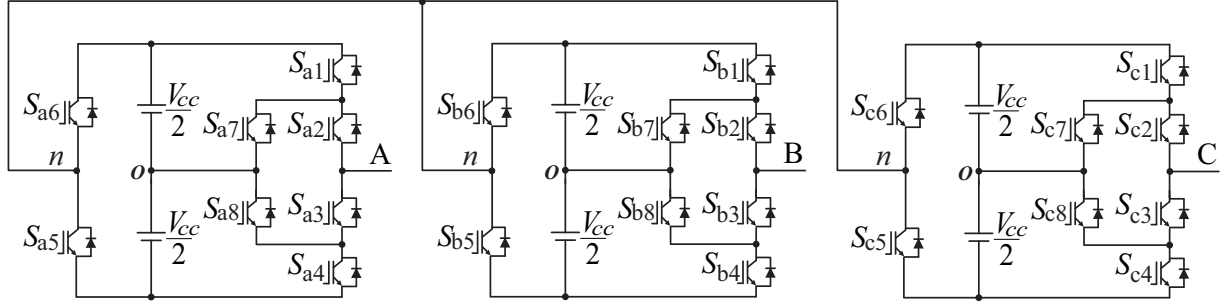


Figura 5.2: Inversor trifásico HB-ANPC utilizando seis fontes isoladas

5.2.1 Modos de operação

Algumas restrições podem ser observadas com relação ao chaveamento da topologia ilustrada na Fig. 5.2 as chaves S_{a5} e S_{a6} apresentam baixa frequência de operação e não podem ser acionadas simultaneamente; as chaves S_{a2} e S_{a3} não podem ser desligadas ao mesmo tempo; por fim S_{a4} e S_{a8} não podem ser fechadas simultaneamente assim como S_{a1} e S_{a7} .

Na Fig. 5.3 são ilustrados quatro modos de operação do inversor considerando uma fase durante o semi-ciclo positivo, no qual a chave S_{a5} é mantida acionada, enquanto a chave S_{a6} é mantida aberta. No modo 1 (Fig. 5.3(a)), as chaves S_{a1} , S_{a2} e S_{a5} são mantidas fechadas, enquanto todas as demais chaves permanecem desligadas. Isto permite obter $+V_{cc}$. Os modos 2 (Fig. 5.3(b)) e 3 (Fig. 5.3(c)), podem ser usados para obter $+V_{cc}/2$ dependendo do padrão de chaveamento utilizado. No modo 2, S_{a2} , S_{a5} e S_{a7} são acionadas, ficando todas as outras chaves em estado de bloqueio. Por sua vez, no modo 3, S_{a3} , S_{a5} e S_{a8} são acionadas, enquanto as demais chaves são bloqueadas. O modo 4 (Fig. 5.3(d)), gera o nível 0, as chaves S_{a3} , S_{a5} e S_{a4} conduzem juntas enquanto todas as demais chaves são bloqueadas nesse instante. Durante o semi-ciclo negativo, a chave S_{a5} é bloqueada e a chave S_{a6} é acionada, com os modos de operação de 1 a 4 sendo novamente aplicados, Fig. 5.4.

Assim, utilizando-se uma modulação adequada, é possível se obter 5 níveis de tensão na saída deste inversor. Os possíveis estados que retornam níveis de tensão na saída são apresentados na Tabela 5.1.

Portanto, há oito possibilidades para obter o nível 0, quatro possibilidades de obter $+V_{cc}$, quatro maneiras de obter o nível $-V_{cc}$, nove maneiras de obter $+V_{cc}/2$ e nove formas de obter $-V_{cc}/2$.

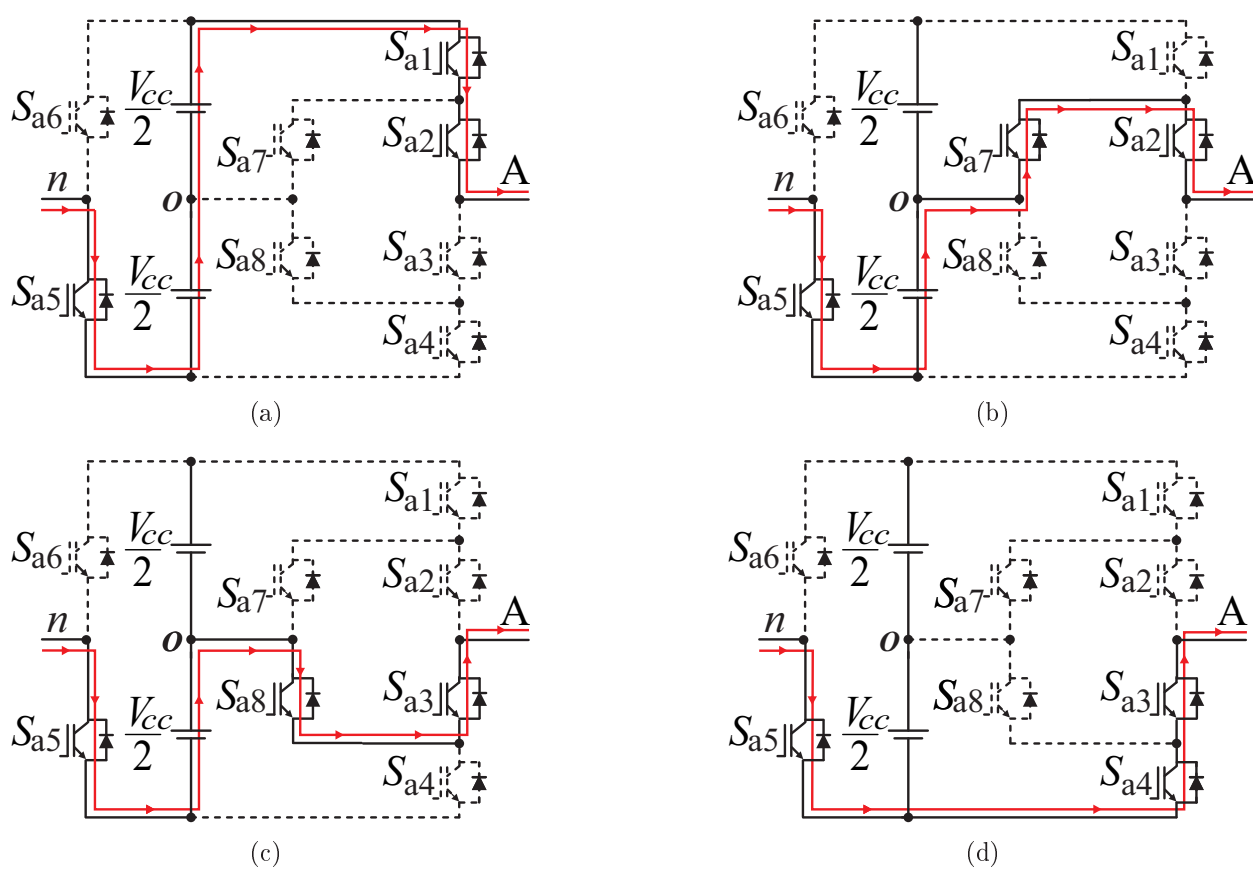


Figura 5.3: Modos de operação do inversor HB-ANPC: semi-ciclo positivo

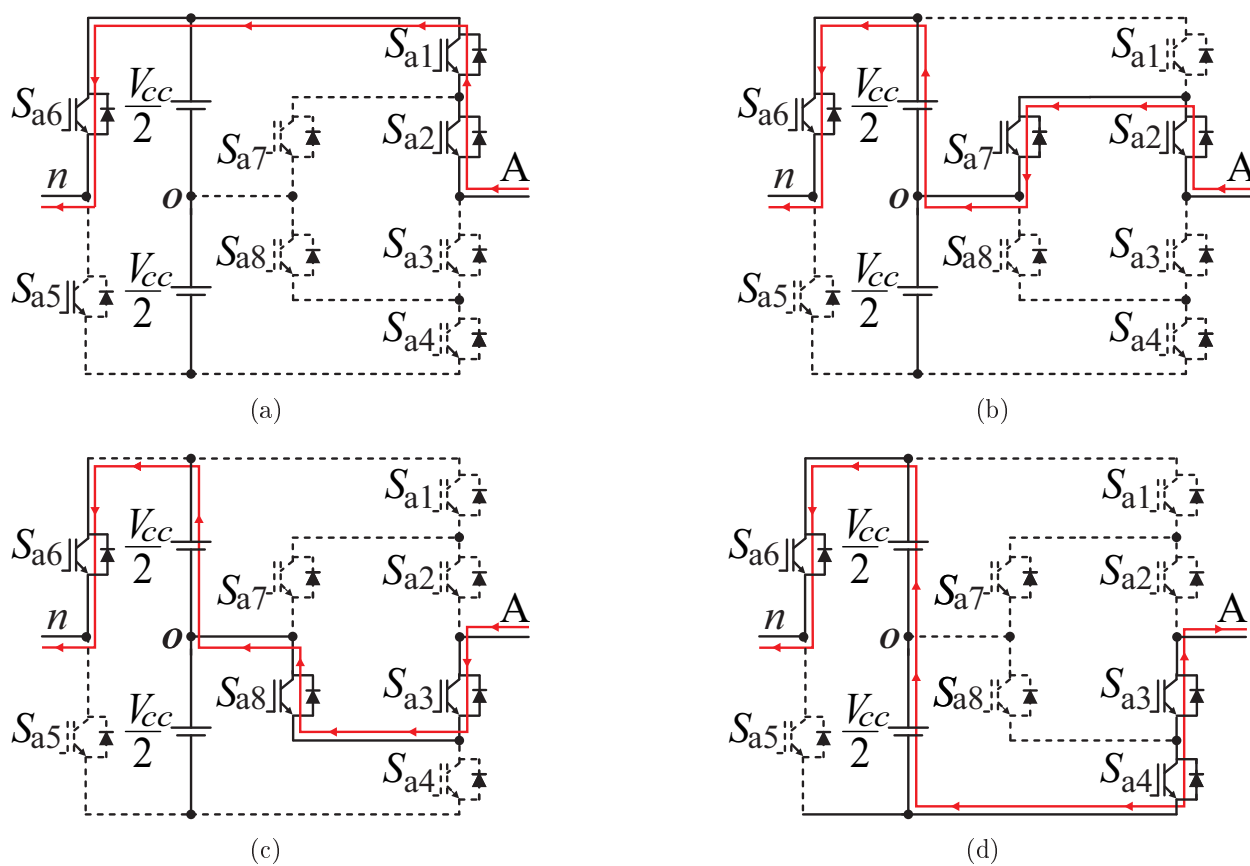


Figura 5.4: Modos de operação do inversor HB-ANPC: semi-ciclo negativo

Tabela 5.1: Possíveis estados de comutação

S_{a1}	S_{a2}	S_{a3}	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}	Tensão na carga
0	0	1	0	0	1	0	1	$-V_{cc}/2$
0	0	1	0	0	1	1	1	$-V_{cc}/2$
0	0	1	0	1	0	0	1	$V_{cc}/2$
0	0	1	0	1	0	1	1	$V_{cc}/2$
0	0	1	1	0	1	0	0	$-V_{cc}$
0	0	1	1	0	1	1	0	$-V_{cc}$
0	0	1	1	1	0	0	0	0
0	0	1	1	1	0	1	0	0
0	1	0	0	0	1	1	0	$-V_{cc}/2$
0	1	0	0	0	1	1	1	$-V_{cc}/2$
0	1	0	0	1	0	1	0	$V_{cc}/2$
0	1	0	0	1	0	1	1	$V_{cc}/2$
0	1	0	1	0	1	1	0	$-V_{cc}/2$
0	1	0	1	1	0	1	0	$V_{cc}/2$
0	1	1	0	0	1	0	1	$-V_{cc}/2$
0	1	1	0	0	1	1	0	$-V_{cc}/2$
0	1	1	0	0	1	1	1	$-V_{cc}/2$
0	1	1	0	1	0	0	1	$V_{cc}/2$
0	1	1	0	1	0	1	0	$V_{cc}/2$
0	1	1	0	1	0	1	1	$V_{cc}/2$
0	1	1	1	0	1	0	0	$-V_{cc}$
0	1	1	1	1	0	0	0	0
1	0	1	0	0	1	0	1	$-V_{cc}/2$
1	0	1	0	1	0	0	1	$V_{cc}/2$
1	0	1	1	0	1	0	0	$-V_{cc}$
1	0	1	1	1	0	0	0	0
1	1	0	0	0	1	0	0	0
1	1	0	0	0	1	0	1	0
1	1	0	0	1	0	0	0	V_{cc}
1	1	0	0	1	0	0	1	V_{cc}
1	1	0	1	0	1	0	0	0
1	1	0	1	1	0	0	0	V_{cc}
1	1	1	0	0	1	0	0	0
1	1	1	0	1	0	0	0	V_{cc}

Dos trinta e quatro estados possíveis apresentados, apenas oito são efetivamente utilizados de acordo com a lógica adotada para obtenção da tensão de saída com cinco níveis, Tabela 5.2. A transição entre os níveis é feita de forma que haja o mínimo de chaveamento possível, visando a redução de perdas por comutação.

Uma forma alternativa de reduzir a quantidade de fontes dessa estrutura pode ser vista

Tabela 5.2: Estados de comutação utilizados na lógica de acionamento

S_{a1}	S_{a2}	S_{a3}	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}	Tensão na carga
1	1	0	0	1	0	0	0	V_{cc}
0	1	0	0	1	0	1	0	$V_{cc}/2$
0	0	1	0	1	0	0	1	$V_{cc}/2$
0	0	1	1	1	0	0	0	0
1	1	0	0	0	1	0	0	0
0	1	0	0	0	1	1	0	$-V_{cc}/2$
0	0	1	0	0	1	0	1	$-V_{cc}/2$
0	0	1	1	0	1	0	0	$-V_{cc}$

na Fig. 5.5. No entanto, o fluxo de corrente no ponto central dos capacitores faz com que haja uma oscilação desbalanceando as tensões nos capacitores.

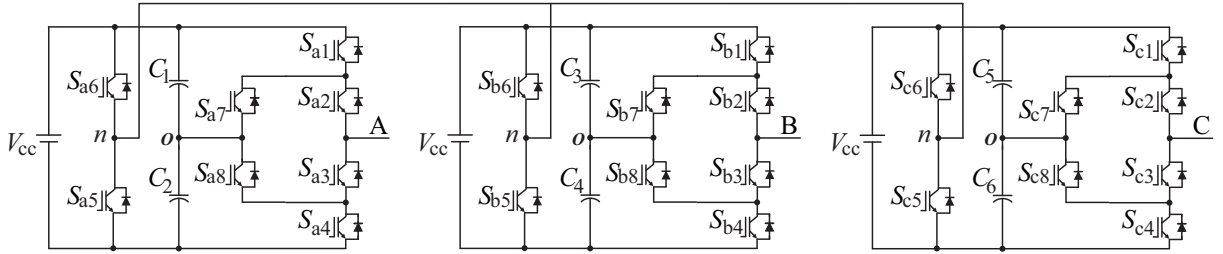


Figura 5.5: Estrutura trifásica HB-ANPC com três fontes de tensão

Nas Figs 5.3 e 5.4 que representam os modos de operação nos semi-ciclos positivo e negativo, percebe-se que durante o semi-ciclo positivo quando aplicado o nível de tensão $+V_{cc}/2$ a corrente circula do ponto central das fontes em direção a carga. Em contra-partida no semi-ciclo negativo quando aplicado o nível de tensão $-V_{cc}/2$, a corrente flui no sentido inverso. Ao substituir as fontes de tensões por capacitores, no semi-ciclo positivo a corrente que flui do ponto central em direção a carga faz com que C_1 carregue e C_2 descarregue, já no semi-ciclo negativo, a corrente que flui da carga ao ponto central do barramento faz com que C_1 descarregue e C_2 carregue. A oscilação de tensão é retratada na Fig. 5.6 em um intervalo de um ciclo da tensão de saída.

Para evitar essas oscilações, a utilização de uma técnica controle dessas tensões é necessário.

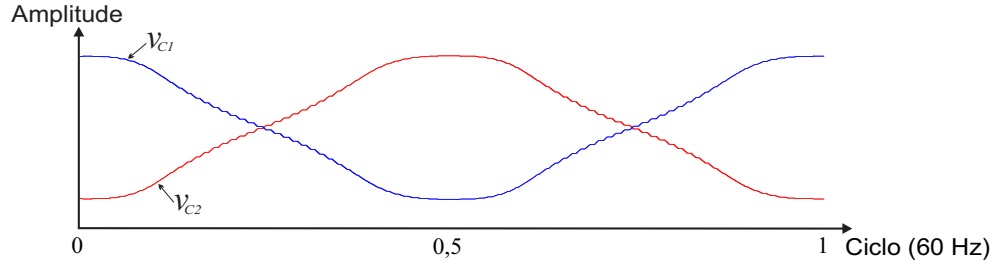


Figura 5.6: Oscilação das tensões dos capacitores do inversor da Fig 5.5

5.2.2 Análise Quantitativa

Para quantificar a variação de tensão sofrida pelos capacitores do barramento, deve-se determinar a corrente média \bar{i}_C que circula em cada capacitor durante meio-ciclo de operação do inversor. Desse modo, i_C é expressa em função das correntes de carga (i_l) e da fonte de entrada (i_f), visto que as expressões dessas correntes podem ser facilmente encontradas.

A corrente de carga pode ser expressa por:

$$i_l = \frac{m_a V_f}{\sqrt{R^2 + \omega_l^2}} \text{sen}(\omega t + \theta) \quad (5.1)$$

onde: m_a - Índice de modulação em amplitude;

V_f - tensão da fonte de entrada;

R - resistência da carga;

ω_l - reatância do indutor da carga.

Utilizando o princípio de conservação de energia e após algumas manipulações algébricas e trigonométricas pode-se obter a seguinte expressão para a corrente da fonte:

$$i_f = \frac{\alpha - \alpha \cos(2\omega t)}{2} \quad (5.2)$$

onde: $\alpha = \frac{m_a^2 V_f}{\sqrt{R^2 + \omega_l^2}};$

Cada semi-ciclo da tensão de saída do inversor é dividido em três intervalos, onde a corrente nos capacitores assume diferentes valores:

- Intervalo 1: $\left(0 - \frac{\pi}{6}\right) \Rightarrow i_C = i_f$

- Intervalo 2: $\left(\frac{\pi}{6} - \frac{5\pi}{6}\right) \Rightarrow i_C = i_l - i_f$
- Intervalo 3: $\left(\frac{5\pi}{6} - \pi\right) \Rightarrow i_C = i_f$

Calculando o valor médio de i_C para os três intervalos, obtém-se:

- Intervalo 1: $\bar{i}_C = \alpha \left(\frac{1}{2} - \frac{3\sqrt{3}}{4\pi} \right)$
- Intervalo 2: $\bar{i}_C = \alpha \left(\frac{3\sqrt{3}}{2\pi m_a} - \frac{1}{2} - \frac{3\sqrt{3}}{8\pi} \right)$
- Intervalo 3: $\bar{i}_C = \alpha \left(\frac{1}{2} - \frac{3\sqrt{3}}{4\pi} \right)$

Através dos valores médios obtidos para os três intervalos, pode-se expressar \bar{i}_C para meio-ciclo de operação do inversor, como:

$$\bar{i}_C = \frac{V_f}{|Z_l|} (0, 55m_a - 0, 44m_a^2) \quad (5.3)$$

onde, $|Z_l|$ é o módulo da impedância da carga.

A variação de tensão no capacitor pode ser relacionada com \bar{i}_C do seguinte modo:

$$\Delta V_C = \frac{\bar{i}_C}{C} T_m \quad (5.4)$$

onde T_m é o período de meio-ciclo da tensão de saída.

Substituindo (5.3) em (5.4) chega-se a

$$\Delta V_C = \frac{V_f}{120C|Z_l|} (0, 55m_a - 0, 44m_a^2) \quad (5.5)$$

Percebe-se que a variável m_a exerce uma pequena influência em \bar{i}_C e conseqüentemente em ΔV_C .

5.3 Inversor Híbrido de Cinco Níveis baseado nas Topologias Meia-Ponte e ANPC/Capacitor Flutuante

A topologia proposta nesta seção é ilustrada na Fig. 5.7, denominada de inversor híbrido de cinco níveis baseada nas topologias meia-ponte e ANPC/capacitor flutuante - HB-ANPC/FC. Onde um terceiro capacitor é conectado em paralelo com a célula ativa (S_{a7} e S_{a8}), visando melhorar controle das tensões nos capacitores. Esta concepção foi empregada em diversas topologias (Oh et al., 2006), mas não na estrutura que aqui se encontra. O braço três níveis da topologia proposta pode ser considerado como um misto do inversor ANPC e do inversor a capacitores flutuantes.

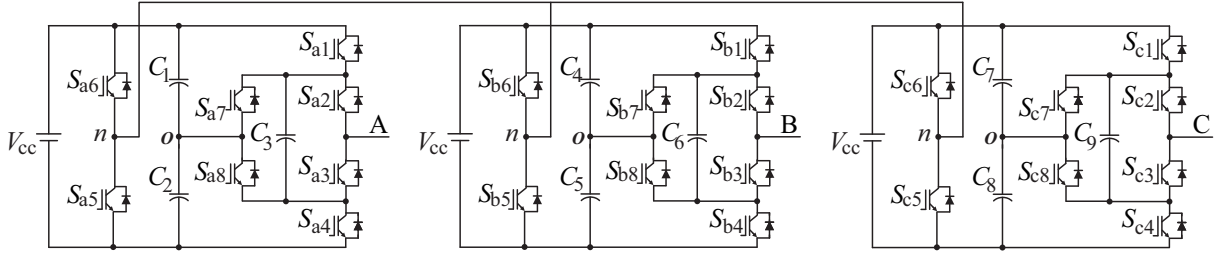


Figura 5.7: Conversor proposto com célula ANPC/capacitor flutuante

5.3.1 Modos de operação

Considerando $C_1 = C_2 = C_3 = C$. Os modos de operação para uma fase são ilustrados na Fig 5.8. Supõe-se que o valor ideal da tensão v_{C3} é $+V_{cc}/2$, embora, na prática haja uma oscilação em torno desse valor. Pode-se notar que a condução simultânea das chaves S_{a1} e S_{a7} , S_{a2} e S_{a3} , S_{a4} e S_{a8} , S_{a7} e S_{a8} são operações proibidas para evitar curto-circuito nos capacitores.

Similar ao circuito da Fig. 5.3(a), quando S_{a1} é acionado, a fase A é conectada ao lado positivo do barramento com o valor de $+V_{cc}$. No entanto, no modo 1 da Fig. 5.8(a), além das chaves S_{a1} , S_{a2} e S_{a5} serem acionadas, a chave S_{a8} também é acionada de modo a pôr o capacitor C_3 em paralelo com C_1 . Como na Fig. 5.3(b), $+V_{cc}/2$ é aplicado bloqueando S_{a1} , acionando S_{a7} enquanto se mantém S_{a2} em estado de condução, porém agora S_{a4} também é acionada de forma a pôr C_3 em paralelo com C_2 . Outra possibilidade de obter o nível $+V_{cc}/2$ é dada na Fig. 5.8(c), definindo o modo 3. Neste caso a chave S_{a1} é acionada, além das chaves S_{a3} , S_{a5} e S_{a8} da Fig. 5.3(c), fazendo com que C_3 fique novamente em paralelo

com C_1 . O nível 0, é obtido ligando S_{a3} , S_{a4} , S_{a5} , além da chave S_{a7} , pondo C_3 em paralelo com C_2 , modo 4, Fig. 5.8(d).

No semi-ciclo negativo, esses quatro modos também são aplicados, sendo que agora têm-se que S_{a6} é acionada, enquanto S_{a5} é bloqueada

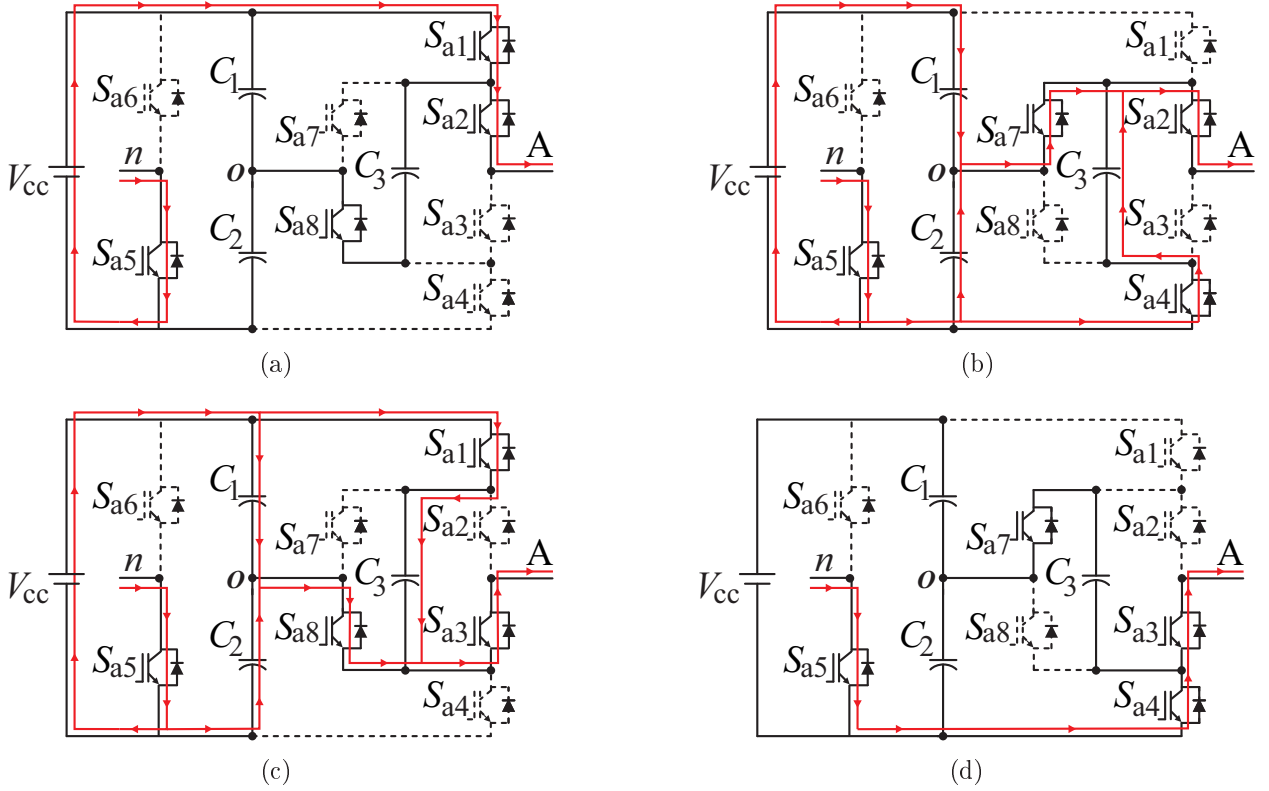


Figura 5.8: Modos de operação da estrutura HB-ANPC/FC

Em comparação com o inversor da Fig. 5.2, a estrutura proposta também possui oito estados de chaveamento, aplicando os mesmos cinco níveis de tensão à carga, diferenciando apenas nos estados aplicados, já que uma chave a mais é acionada por estado.

Pela descrição do modo de operação, percebe-se que o capacitor C_3 a cada estado de comutação, ora fica em paralelo com C_1 , ora fica em paralelo com C_2 de forma alternada. No entanto, não fica evidenciado de que forma a atuação de C_3 é preponderante para diminuição das oscilações de tensão de C_1 e C_2 . Na Fig. 5.9, são ilustrados os estados transitórios que ocorrem na mudança entre os modos 1, 2, 3 e 4, evidenciando o comportamento da corrente transitória representada por linhas tracejadas, em cada elemento do circuito.

Na mudança do modo 1 para o modo 2, Fig. 5.9(a), C_3 que antes estava em paralelo com C_1 (modo 1) passa a ficar em paralelo com C_2 (modo 2). Como no modo 1, $v_{C1} = v_{C3} > v_{C2}$

Tabela 5.3: Estados de comutação utilizados na lógica de acionamento do inversor HB-ANPC/FC

S_{a1}	S_{a2}	S_{a3}	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}	Tensão na carga
1	1	0	0	1	0	0	1	V_{cc}
0	1	0	1	1	0	1	0	$V_{cc}/2$
1	0	1	0	1	0	0	1	$V_{cc}/2$
0	0	1	1	1	0	1	0	0
1	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	$-V_{cc}/2$
1	0	1	0	0	1	0	1	$-V_{cc}/2$
0	0	1	1	0	1	1	0	$-V_{cc}$

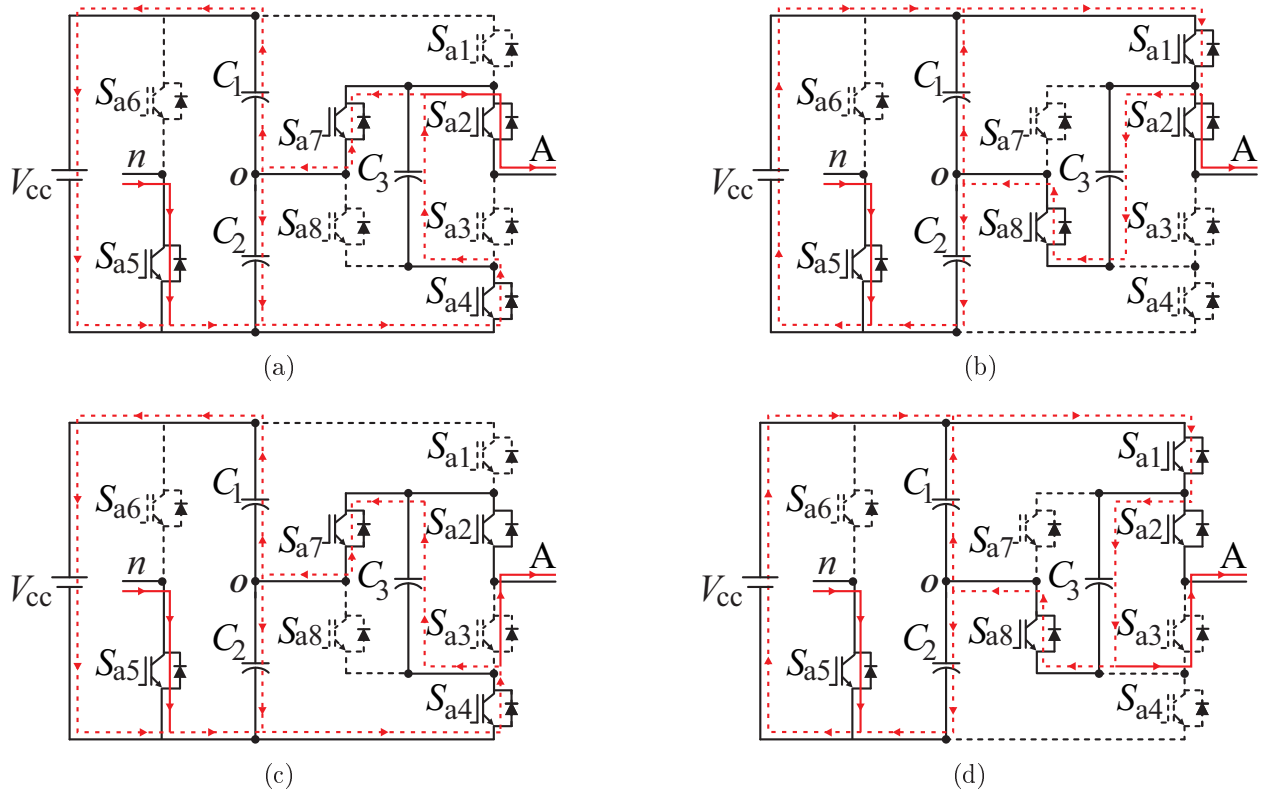


Figura 5.9: Estados transitórios no semi-ciclo positivo

como é ilustrado na Fig. 5.10, ocorre um pico de corrente passando por C_3 em direção ao ponto central do barramento fazendo com que v_{C2} aumente e v_{C1} diminua, e este processo ocorre até que v_{C3} atinja o valor de v_{C2} . Na mudança do modo 2 para o modo 1, Fig. 5.9(b), C_3 volta a ficar em paralelo com C_1 . Como no modo 2, $v_{C1} > v_{C2} = v_{C3}$, há um pico de corrente passando por C_3 em direção ao ponto central do barramento fazendo com que v_{C2} aumente e v_{C1} diminua, até que v_{C3} se torne igual a v_{C1} . As permutas do modo 3 para o modo 4 e do modo 4 para o modo 3, ocorre de forma similar com se pode ver nas Figs. 5.9(c)

e 5.9(d).

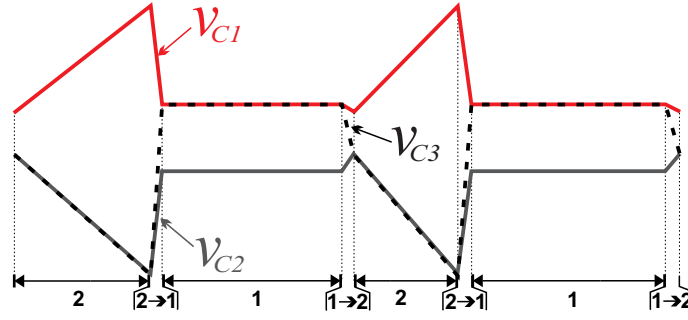


Figura 5.10: Variação das tensões: v_{C1} , v_{C2} e v_{C3}

Como já era esperado, os picos de corrente ocasionado pela variação de tensão experimentada pelos capacitores, possuem valores elevados dependendo da carga alimentada. Para limitar essa elevação de corrente, um pequeno indutor é conectado ao ponto neutro como ilustrado na Fig. 5.11.

Observando a Fig. 5.10 que ilustra a variação de tensão dos três capacitores C_1 , C_2 e C_3 , repara-se que no modo 2 quando aplicado o nível de tensão $+V_{cc}/2$ ocorre o desbalanceamento das tensões v_{C1} e v_{C2} da mesma forma que dá-se no inversor da Fig. 5.2, entretanto este desbalanceamento é corrigido através de C_3 logo em seguida, ao retornar ao modo 1.

Até o momento, considerou-se apenas $C_1 = C_2 = C_3$, como a corrente em C_3 é duas vezes maior que a corrente nos capacitores C_1 e C_2 , conseqüentemente a variação de tensão de v_{C3} é duas vezes maior que as variações de v_{C1} e v_{C2} . Isso implica que ao final de cada estado transitório, v_{C1} sempre fica com um valor maior que v_{C2} . Uma forma de aprimorar o controle da tensão é utilizar $C_3 = 2C_1 = 2C_2$, com isso ao final do transitório do modo de operação 2 para o modo de operação 1, tem-se que $v_{C1} = v_{C2} = v_{C3}$ eliminando o estado transitório do modo 1 para o modo 2, como ilustrado na Fig. 5.12.

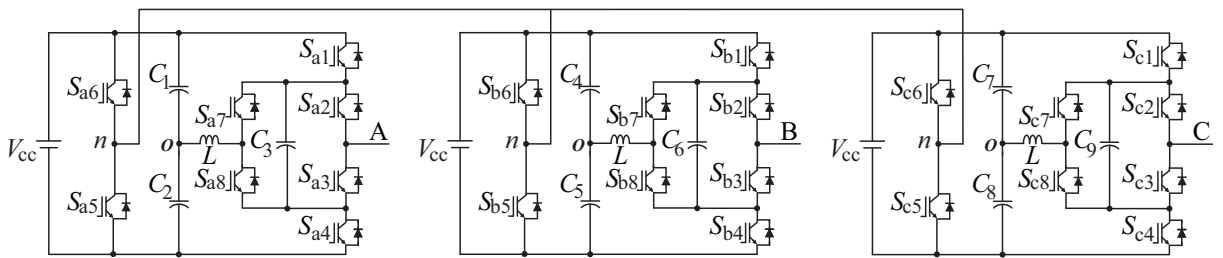


Figura 5.11: Conversor HB-ANPC/FC com indutâncias

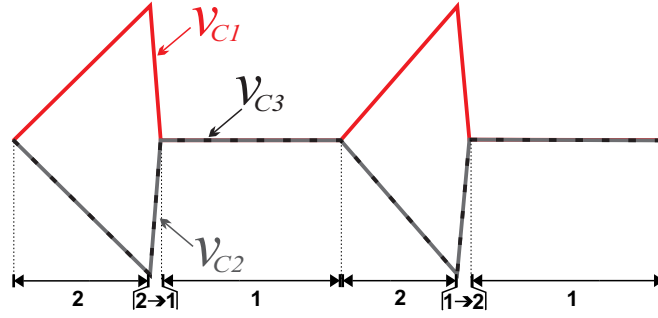


Figura 5.12: Variação das tensões: v_{C1} , v_{C2} e v_{C3} com $C_3 = 2C_1 = 2C_2$

5.3.2 Análise Quantitativa

Variação das tensões dos capacitores

Como observado anteriormente, as variações nas tensões dos capacitores v_{c1} , v_{c2} e v_{c3} ocorrem nos modos de operações 2 e 3, havendo o reequilíbrio dessas tensões nas transições para os modos subsequentes. Os circuitos equivalentes dos modos de operação 2 e 3 são ilustrados na Fig. 5.13.

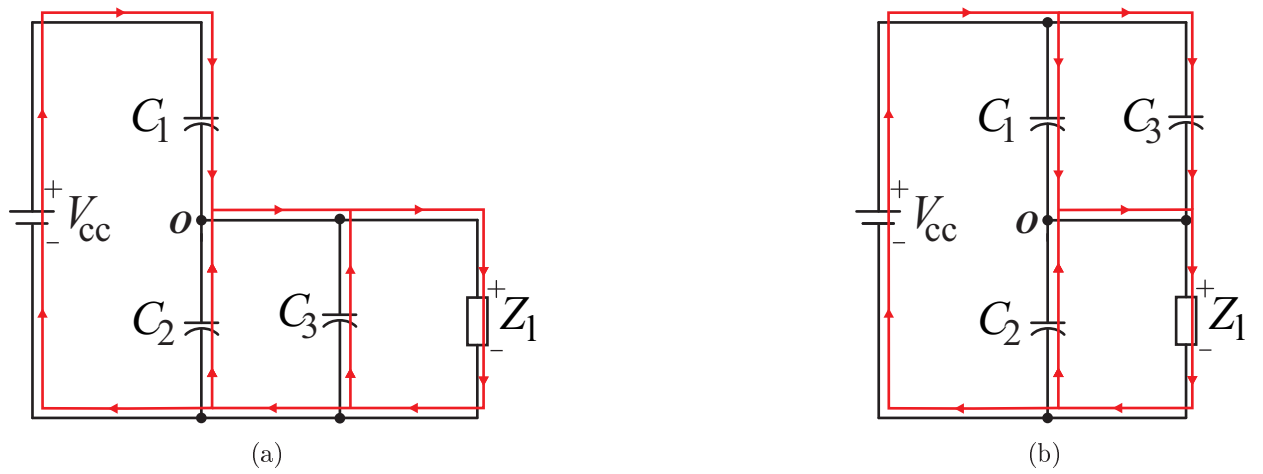


Figura 5.13: Circuitos equivalentes dos modos 2 e 3

Nessas figuras, percebe-se que nos dois modos, a corrente que alimenta a carga é formada pela corrente que sai do ponto central do barramento capacitivo adicionada da corrente que circula por C_3 . Logo:

$$i_l = i_{C1} + i_{C2} + i_{C3} \quad (5.6)$$

Como $C_3 = 2C_1 = 2C_2$, a equação (5.6) pode ser reescrita como:

$$i_l = i_C + i_C + 2i_C \Rightarrow i_l = 4i_C \quad (5.7)$$

A ondulação de tensão no capacitor ΔV_C é diretamente proporcional à variação de carga no mesmo e inversamente proporcional à capacitância, logo:

$$\Delta Q_C = C\Delta V_C \quad (5.8)$$

Podendo expressar também a variação de carga do capacitor em função da corrente:

$$\Delta Q_C = i_C T_S \quad (5.9)$$

onde T_S é o período de chaveamento do conversor.

Substituindo (5.9) em (5.8), tem-se:

$$i_C T_S = C\Delta V_C \Rightarrow \Delta V_C = \frac{i_C}{C} T_S \quad (5.10)$$

Expressando a variação de tensão do capacitor em função da corrente de carga do inversor, substituindo (5.7) em (5.10), chega-se a:

$$\Delta V_C = \frac{i_l}{4C} T_S \quad (5.11)$$

Por fim, a variação de tensão entre os capacitores do barramento C_1 e C_2 pode ser expressa como:

$$\Delta V_{C_{12}} = \Delta V_{C_1} - \Delta V_{C_2} = \frac{i_l}{4C} T_S - \left(-\frac{i_l}{4C} T_S \right)$$

$$V_{C_1} - V_0 - (V_{C_2} - V_0) = \frac{i_l}{4C} T_S + \frac{i_l}{4C} T_S$$

$$\Delta V_{C_{12}} = \frac{i_l}{2C} T_S \quad (5.12)$$

Corrente máxima no indutor auxiliar

Para obtenção da corrente máxima no indutor posicionado no ponto central do barramento, deve-se analisar os estados transitórios que ocorrem na mudança dos modos de operação. Na Fig. 5.9, é possível notar que a corrente transitória causada pelas diferenças de tensões de C_1 , C_2 e C_3 no semi-ciclo positivo, sempre circula por C_3 entrando no ponto central do barramento, de forma a carregar C_2 e descarregar C_1 . Além disso, a corrente transitória não é "vista" pela carga, podendo desprezã-la nesta análise. O circuito equivalente em um dos estados transitório, pode ser visto na Fig. 5.14.

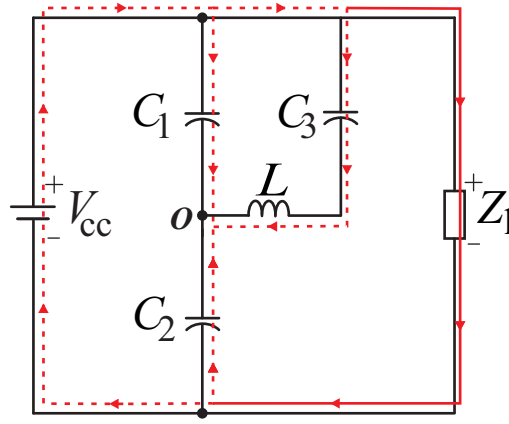


Figura 5.14: Circuito equivalente na mudança do modo 2 para o modo 1

No instante logo após a mudança do modo 2 para o modo 1, a tensão em C_3 é a mesma que em C_2 , com isso gera-se uma diferença de potencial de ΔV entre C_1 e C_3 . Aplicando Leis de Kirchhoff no circuito, pode-se escrever a seguinte equação:

$$v_{C_3} + v_{R_{C_3}} + v_L + v_{R_L} + v_{C_1} + v_{R_{C_1}} = 0 \quad (5.13)$$

Substituindo as equações de v_L e v_C , tem-se.

$$L \frac{di}{dt} + \frac{1}{C_3} \int_0^t i dt + V_0 + \frac{1}{C_1} \int_0^t i dt + V_0 + R_{eq} i = 0$$

onde $R_{eq} = R_{C_1} + R_{C_3} + R_L$;

Após algumas manipulações algébricas, obtém-se a seguinte equação diferencial de 2ª ordem:

$$\frac{d^2i}{dt^2} + \frac{R_{eq}}{L} \frac{di}{dt} + \frac{1}{L} \left(\frac{1}{2C_1} + \frac{1}{C_3} \right) i = 0$$

Uma abordagem clássica é admitir que $v = Ae^{st}$, onde A e S são constantes, portanto:

$$As^2e^{st} + \frac{R_{eq}}{L}Ase^{st} + \frac{A}{L} \left(\frac{1}{2C_1} + \frac{1}{C_3} \right) e^{st} = 0$$

$$Ae^{st} \left[s^2 + \frac{R_{eq}}{L}s + \frac{1}{L} \left(\frac{1}{2C_1} + \frac{1}{C_3} \right) \right] = 0 \quad (5.14)$$

A equação (5.14) só pode ser satisfeita para todo t se $A = 0$ ou $s^2 + \frac{R_{eq}}{L}s + \frac{1}{L} \left(\frac{1}{2C_1} + \frac{1}{C_3} \right) = 0$, logo:

$$s^2 + \frac{R_{eq}}{L}s + \frac{1}{L} \left(\frac{1}{2C_1} + \frac{1}{C_3} \right) = 0 \quad (5.15)$$

A equação (5.15) é denominada de equação característica do circuito RLC e suas raízes determinam o caráter matemático de $i(t)$. As duas raízes da equação são:

$$s_1 = -\frac{R_{eq}}{2L} + \sqrt{\left(\frac{R_{eq}}{2L} \right)^2 - \frac{1}{L} \left(\frac{1}{2C_1} + \frac{1}{C_3} \right)} \quad (5.16)$$

$$s_2 = -\frac{R_{eq}}{2L} - \sqrt{\left(\frac{R_{eq}}{2L} \right)^2 - \frac{1}{L} \left(\frac{1}{2C_1} + \frac{1}{C_3} \right)} \quad (5.17)$$

Usando uma notação de ampla utilização na literatura, (5.16) e (5.17) podem ser representadas como:

$$s_1 = -\alpha + \sqrt{\alpha^2 - \omega_0^2} \quad (5.18)$$

$$s_2 = -\alpha - \sqrt{\alpha^2 - \omega_0^2} \quad (5.19)$$

onde

$$\alpha = \frac{R_{eq}}{2L} \quad (5.20)$$

$$\omega_0 = \sqrt{\frac{1}{L} \left(\frac{1}{2C_1} + \frac{1}{C_3} \right)} \quad (5.21)$$

As equações (5.20) e (5.21) são conhecidas como Frequência de Neper e Frequência de Ressonância, respectivamente.

Para o caso particular em que $C_3 = 2C_1$, (5.21) pode ser simplificada como

$$\omega_0 = \frac{2}{\sqrt{2LC_3}} \quad (5.22)$$

ou ainda

$$\omega_0 = \frac{1}{\sqrt{LC_1}} \quad (5.23)$$

A natureza das raízes s_1 e s_2 depende dos valores de α e ω_0 . Há três resultados possíveis. Primeiro, se $\omega_0 < \alpha$, ambas as raízes são distintas e diz-se a resposta em corrente é superamortecida. Se $\omega_0 > \alpha$, ambas as raízes são complexas e conjugadas uma a outra. Nessa situação, diz-se que a resposta é subamortecida. O terceiro resultado possível é se $\omega_0 = \alpha$. Nesse caso, s_1 e s_2 são reais e iguais e a resposta em corrente é denominada de criticamente amortecida. Para esse três casos, tem-se:

$$\omega_0 < \alpha \Rightarrow L < \frac{C_1 R^2}{4} \quad (5.24)$$

$$\omega_0 = \alpha \Rightarrow L = \frac{C_1 R^2}{4} \quad (5.25)$$

$$\omega_0 > \alpha \Rightarrow L > \frac{C_1 R^2}{4} \quad (5.26)$$

A resposta subamortecida possui um caráter oscilatório no qual diminui exponencialmente. Esse comportamento oscilatório provocado pelos elementos armazenadores de energia presentes no circuito, não permite ou dificulta a equalização das tensões dos capacitores

do barramento, impedindo que o inversor opere de modo adequado. Em função disso, o conversor deve ser projetado para operar no modo superamortecido ou criticamente amortecido, sendo este último o pior caso em termos de pico de corrente sofrida pelo indutor.

A expressão da corrente durante a resposta criticamente amortecida é representada por:

$$i(t) = D_1 t e^{-\alpha t} + D_2 e^{-\alpha t} \quad (5.27)$$

Substituindo condições iniciais do circuito $i(0^+) = 0$ e $di/dt(0^+) = \Delta V/L$ em (5.27), chega-se a:

$$i(t) = \frac{\Delta V}{L} t e^{-\alpha t} \quad (5.28)$$

Representando R em função de L e C , tem-se:

$$R = 2\sqrt{\frac{L}{C}} \quad (5.29)$$

Simplificando α utilizando (5.29), obtém-se a equação (5.30)

$$\alpha = \frac{2\sqrt{L/C}}{2L} = \frac{1}{\sqrt{LC}} \quad (5.30)$$

Para achar o ponto de máxima corrente, efetua-se a derivada da expressão de $i(t) = 0$, resolvendo em seguida a equação para o tempo t , portanto:

$$i'(t) = \frac{\Delta V}{L} [e^{-\alpha t} + t(e^{-\alpha t}(-\alpha))]$$

$$0 = \frac{\Delta V}{L} [e^{-\alpha t} - \alpha t e^{-\alpha t}]$$

$$0 = 1 - \alpha t$$

$$t = \frac{1}{\alpha} \quad (5.31)$$

logo

$$t = \frac{1}{\alpha} = \frac{2L}{R} = \sqrt{LC} \quad (5.32)$$

Determinando i_{max} substituindo (5.32) em (5.28), chega-se a:

$$i_{max} = \frac{\Delta V}{L} \sqrt{LC} e^{\left(-\frac{1}{\sqrt{LC}}\right)(\sqrt{LC})} \quad (5.33)$$

$$i_{max} = \frac{\Delta V}{e} \sqrt{\frac{C}{L}}$$

Substituindo (5.12) em (5.33), determina-se i_{max} em função da corrente de carga i_l do inversor:

$$i_{max} = \frac{i_l T_s}{2e\sqrt{LC}} \quad (5.34)$$

5.4 Inversor Híbrido de Cinco Níveis baseado nas Topologias Meia-Ponte e ANPC/Fonte Flutuante

A topologia proposta nesta seção é ilustrada na Fig. 5.15, denominada de inversor híbrido de cinco níveis baseada nas topologias meia-ponte e ANPC/fonte flutuante - HB-ANPC/FS. Onde o capacitor C_3 da topologia da Fig. 5.7, é substituído por uma fonte de tensão com metade do valor da fonte utilizada nesta topologia. Os capacitores C_1 e C_2 não são mais conectados em uma fonte de tensão fixa. Para efeito de simplificação da análise, será considerada a versão monofásica do inversor.

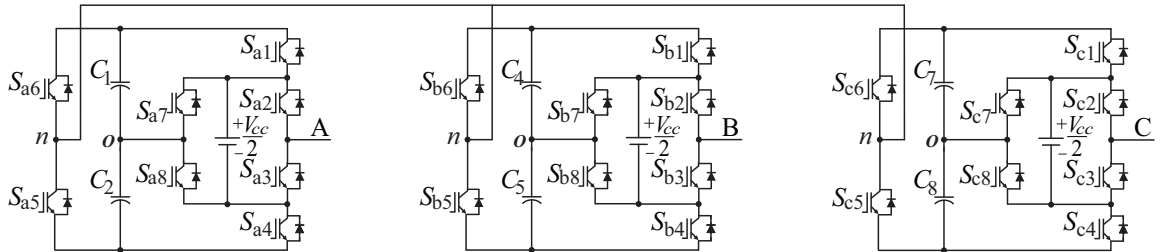


Figura 5.15: Conversor com célula ANPC/fonte flutuante

5.4.1 Modos de Operação

Considerando $C_1 = C_2 = C$, os modos de operação para uma fase são ilustrados na Fig 5.16. Pode-se notar que a condução simultânea das chaves S_{a1} e S_{a7} , S_{a2} e S_{a3} , S_{a4} e S_{a8} , S_{a7} e S_{a8} são operações proibidas para evitar curto-circuito nos capacitores.

O chaveamento do inversor da Fig. 5.15 é idêntico ao chaveamento do inversor da Fig. 5.7, alterando apenas o comportamento da corrente no circuito e a forma como as tensões de C_1 e C_2 são desbalanceadas e restabelecidas. Para todos os modos aqui expostos, a chave S_{a5} é mantida ligada, enquanto S_{a6} é mantida desligada, caracterizando o semi-ciclo positivo. No modo 1, quando as chaves S_{a2} e S_{a8} são ligadas, a tensão do capacitor v_{C2} é somada com a tensão da fonte, fazendo com que a tensão aplicada à carga seja igual a $+V_{cc}$, Fig. 5.16(a). Então a corrente de carga flui através da fonte e de C_2 , descarregando o capacitor. Além disso, S_{a1} também é acionada conectando a fonte em paralelo com C_1 , evitando fluxo de corrente nesse capacitor durante o intervalo. Como ilustrado na Fig. 5.16(b), o inversor aplica $+V_{cc}/2$ à carga, acionando as chaves S_{a2} , S_{a4} e S_{a7} enquanto todas as outras chaves permanecem abertas. Neste momento, a fonte é posta em paralelo com C_2 e como $v_{C2} < +V_{cc}/2$, C_2 carrega através de S_{a7} e D_{a4} . No modo 3, o inversor também aplica $+V_{cc}/2$ à carga, Fig. 5.16(c). Neste caso, a chave S_{a2} é desligada e S_{a3} é acionada, juntamente com S_{a1} e S_{a8} . A corrente de carga flui descarregando C_2 e não há corrente fluindo em C_1 uma vez que a fonte encontra-se em paralelo. No modo 4, o nível 0 de tensão é obtido acionando S_{a3} , S_{a4} e S_{a7} , Fig. 5.16(d). Como $v_{C2} < +V_{cc}/2$, C_2 carrega pela condução de S_{a7} e D_{a4} . No semi-ciclo negativo, esses quatro modos também são aplicados, acionando S_{a6} e bloqueando S_{a5} .

Percebe-se que a fonte é conectada em paralelo de forma alternada com C_1 ou C_2 à medida que vão sendo realizados os modos de operação. Durante o semi-ciclo positivo v_{C1} não se altera, visto que não há corrente fluindo através de C_1 . Comportamento análogo ocorre com C_2 no semi-ciclo negativo.

Da mesma forma que o inversor proposto na seção anterior, apenas oito estados são efetivamente utilizados de acordo com a lógica adotada para obtenção da tensão de saída com cinco níveis, esses estados são os mesmos apresentados na Tabela 5.2.

Como foi visto anteriormente, nos modos de operação 1 e 3, a corrente de carga flui pela capacitância C_2 , fazendo com que sua tensão diminua nesses intervalos. Logo após a

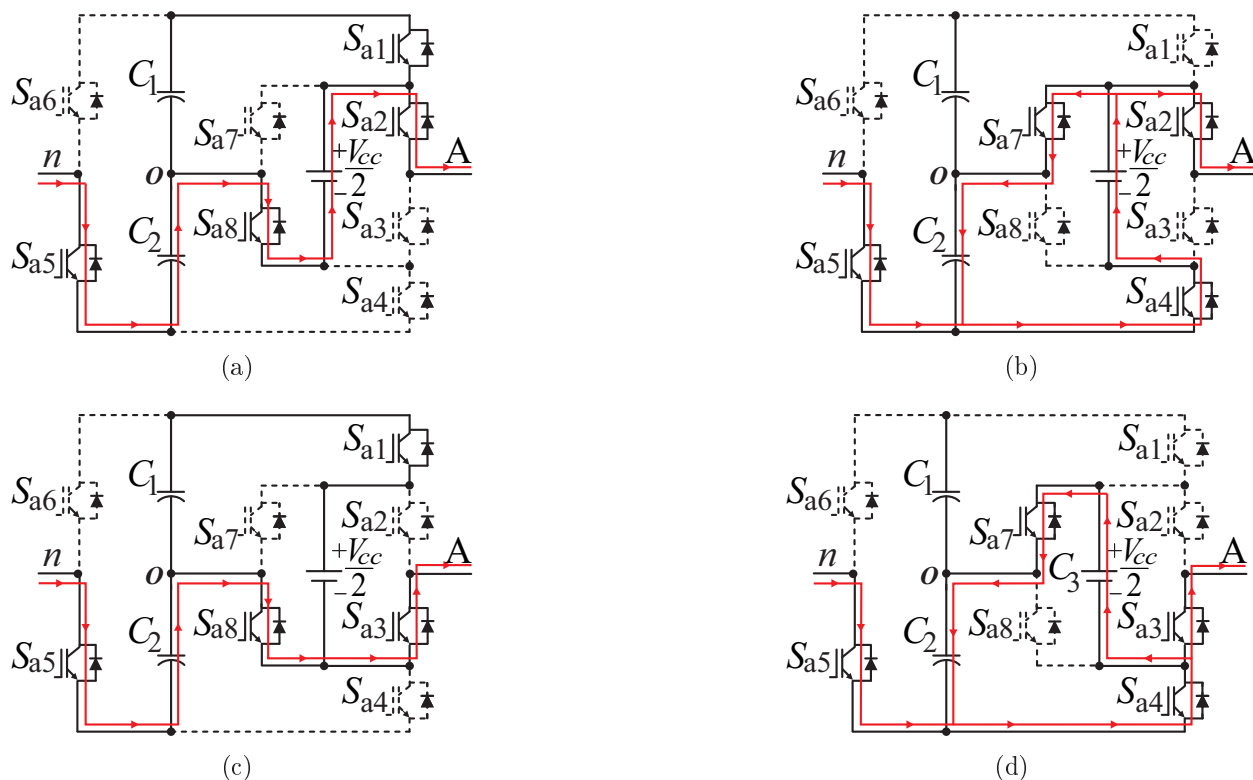


Figura 5.16: Modos de operação da estrutura HB-ANPC/FS

transição dos modos 1 e 3 para os modos 2 e 4, onde a fonte de tensão fica em paralelo com C_2 , como $v_{C2} < +V_{cc}/2$, essa diferença de tensão provoca uma corrente elevada "vista" pelas chaves e a fonte de tensão, sendo necessário o uso de um pequeno indutor para limitar este efeito como pode ser visualizado na Fig. 5.17.

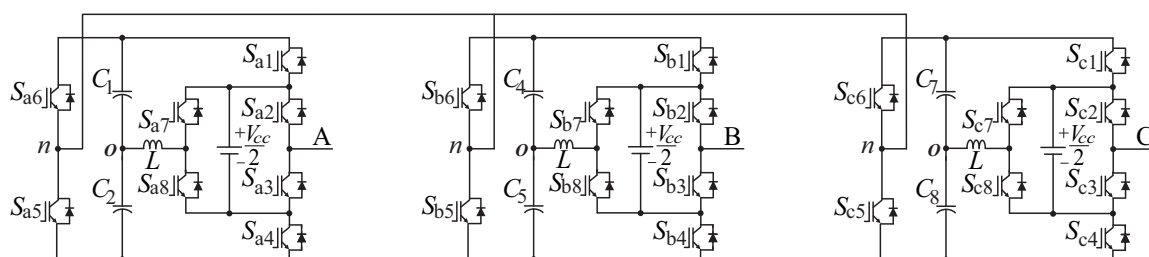


Figura 5.17: Conversor HB-ANPC/FS com indutâncias

5.4.2 Análise Quantitativa

Variação das tensões dos capacitores

Os circuitos equivalentes dos modos 1 e 3 em que ocorre o desbalanceamento de C_2 , podem ser observados na Fig. 5.18.



Figura 5.18: Circuitos equivalentes dos modos 1 e 3 da estrutura HB-ANPC/FS

Seguindo os mesmos passos utilizados para determinar ΔV_C da topologia HB-ANPC/FC, chega-se a seguinte equação:

$$\Delta V_C = \frac{i_C}{C} T_S \quad (5.35)$$

Nas Fig. 5.18, percebe-se nos dois modos que a corrente que circula por C_2 é igual a corrente de carga i_l , logo:

$$\Delta V_{C_{12}} = \frac{i_l}{C} T_S \quad (5.36)$$

Pela análise feita até aqui, foi visto que no inversor HB-ANPC/FC, há desbalanceamento simultâneo de C_1 e C_2 . Enquanto que no inversor HB-ANPC/FS, apenas um dos capacitores sofre variação de tensão por vez, C_2 no semi-ciclo positivo e C_1 no semi-ciclo negativo. Entretanto, defrontando as equações (5.11) e (5.36), constata-se que Δv_C do primeiro inversor, é metade do valor Δv_C do segundo inversor. Isto se deve ao fato de que, na topologia HB-ANPC/FC, a corrente que flui através dos capacitores do barramento é 1/4 da corrente de carga. Já na topologia HB-ANPC/FS, a corrente que flui pelos capacitores é igual à corrente de carga.

Corrente máxima no indutor auxiliar

Para obtenção da corrente máxima no indutor posicionado no ponto central do barramento, deve-se analisar os modos 2 e 4 em que a fonte de tensão alimenta a carga e restabelece a tensão de C_2 . Na Fig. 5.19, são ilustrados os circuitos equivalentes dos modos 2 e 4, onde

desprezando a carga, torna-se um circuito RLC em série. As linhas tracejadas representam as correntes transitórias ocasionadas devido a diferença de tensão entre a fonte e C_2 logo após as mudanças dos modos de operações.

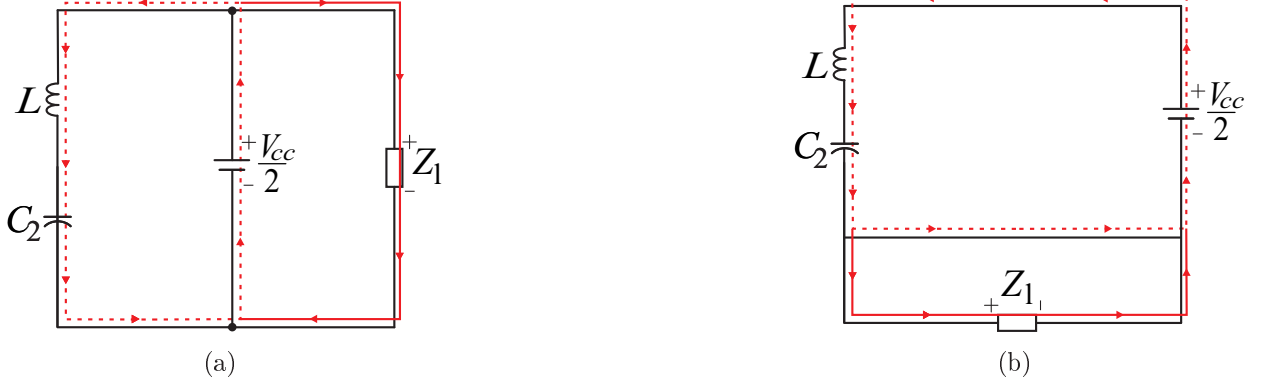


Figura 5.19: Circuitos equivalentes dos modos 2 e 4 da estrutura HB-ANPC/FS

Da análise feita anteriormente para o circuito RLC série, na Eq. (5.33) foi visto que i_{max} é diretamente proporcional a diferença de potencial (Δv) sobre o indutor. Substituindo portanto, (5.36) em (5.33), obtem-se:

$$i_{max} = \frac{i_l T_s}{e\sqrt{LC}} \quad (5.37)$$

Comparando as equações (5.34) e (5.37) constata-se que o indutor do segundo inversor proposto, é submetido a uma corrente duas vezes maior que o primeiro, decorrente da Δv maior no qual o indutor é submetido.

Este inversor também, só opera satisfatoriamente nos regimes superamortecido e criticamente amortecido, pois havendo corrente remanescente devido ao regime subamortecido ao final dos modos 2 e 4, esta corrente circulará por C_1 descarregando-o, devido à nova configuração das chaves nos modos 1 e 3.

5.5 Estratégia PWM

O controle das estruturas propostas foi implementada usando a estratégia híbrida a qual é descrita nesta seção.

A estratégia PWM é baseada em portadoras (CB-PWM - Carrier Based - PWM), estando

estas dispostas em níveis. As diferenças entre as tensões de referência e os níveis de tensão do barramento *c.c.* são utilizados para cálculo dos tempos de condução das chaves do inversor.

Para implementação do PWM híbrido, as tensões de referência v_a^* , v_b^* e v_c^* precisam ser modificadas para garantir as mesmas vantagens da modulação vetorial. Então as tensões de referência modificadas $v_a^{*'}$, $v_b^{*'}$ e $v_c^{*'}$ podem ser definidas a partir das três tensões senoidais de referências (v_a^* , v_b^* e v_c^*) como segue:

$$v_a^{*'} = v_a^* + v_\mu \quad (5.38)$$

$$v_b^{*'} = v_b^* + v_\mu \quad (5.39)$$

$$v_c^{*'} = v_c^* + v_\mu \quad (5.40)$$

onde v_μ é a tensão de sequência zero, ou tensão homopolar.

Observa-se que as Eqs. (5.38) - (5.40) não podem ser resolvidas se v_μ não for obtido. A tensão v_μ pode ser calculada levando em conta o fator de distribuição de roda livre (μ) como segue:

$$v_\mu = P_{min} - (1 - \mu)\left(\frac{E}{4} - P_{max}\right) \quad (5.41)$$

onde $P_{max} = \max P$ e $P_{min} = \min P$; com $P = \{P_a, P_b, P_c\}$

Os valores P_a , P_b e P_c medem a diferença entre os níveis e a correspondente senoide de referência em um certo instante da modulação, como pode ser visto na Fig. 5.20.

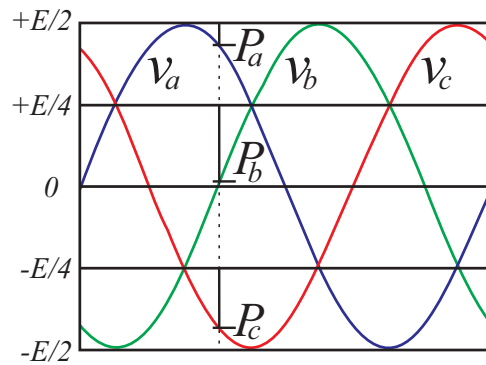


Figura 5.20: Definição de P_a , P_b e P_c em um inversor de 5-níveis.

As variáveis P_a , P_b e P_c podem ser determinadas considerando-se que cada nível do inversor é representado por uma linha horizontal que limita as senoides de referência v_a^* , v_b^* e v_c^* . Os valores desses níveis são dados por

$$Eixo(k) = \left(\frac{1}{2} - \frac{k-1}{4}\right)E \quad (5.42)$$

com $k = 1, 2, 3, 4, 5$

Determinado os valores dos eixos, calcula-se P_a , P_b e P_c da seguinte forma

$$\text{Se } (Eixo(k)) > v_x^{*'} > Eixo(k+1), \text{ então, } p_x = Eixo(k) - v_x^{*'} \quad (5.43)$$

com $k = 1, 2, 3, 4, 5$ e $x = a, b, c$.

Com isso pode se determinar os tempos de acionamento das chaves T_a , T_b e T_c

$$T_j = \frac{P_x}{\frac{E}{4}} T_s \quad (5.44)$$

$$T_x = T_s - T_j \quad (5.45)$$

com $j = 1, 2, 3$ e $x = a, b, c$.

5.6 Características Gerais

Nesta seção serão abordadas algumas características dos conversores HB-ANPC/FC, HB-ANPC/FS e do conversor HB-ANPC utilizando apenas uma fonte por fase. Será feito um estudo comparativo, onde os seguintes aspectos serão considerados: oscilação da tensão dos capacitores; seleção da indutância auxiliar; corrente máxima nas chaves e perdas. Por fim, é dada uma tabela, como forma de facilitar a visualização das principais características e diferenças dos conversores.

5.6.1 Oscilação das tensões dos capacitores

Na Fig. 5.21, é ilustrado o gráfico contendo as oscilações dos capacitores das três topologias em função do valor da capacitância utilizada. Este gráfico foi obtido utilizando as equações

(5.5), (5.12) e (5.36) considerando os seguintes parâmetros: Fonte de alimentação 200 V; corrente de carga 10 A; frequência de chaveamento 5 kHz e índice de modulação igual a 0,9.

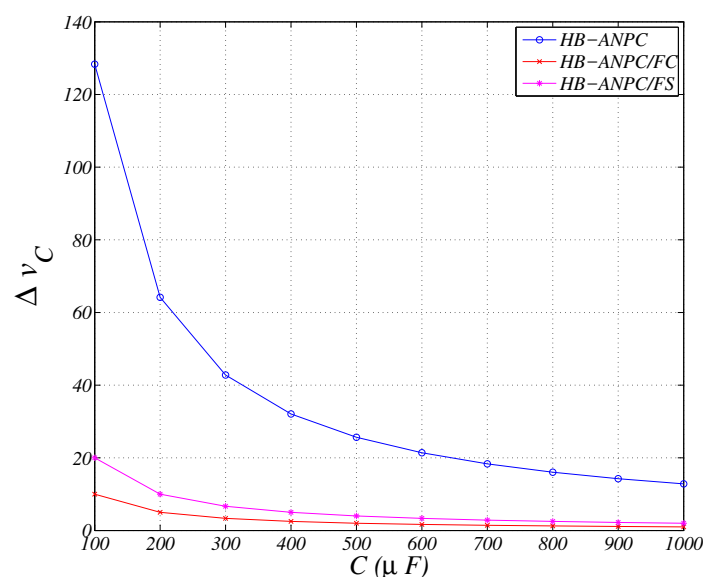


Figura 5.21: Oscilação da tensão dos capacitores das três topologias estudadas

Notadamente, a eficiência das topologias propostas em relação as oscilações das tensões se dá, sobretudo, para pequenas capacitâncias, com a topologia HB-ANPC/FC apresentando a melhor resposta dentre elas. Deve-se levar em consideração que uma maneira de diminuir a ondulação das tensões é aumentando a frequência de chaveamento, elevando no entanto as perdas por chaveamento.

5.6.2 Seleção da indutância auxiliar

Como demonstrado anteriormente, a seleção dos indutores auxiliares deve ser realizada de forma que o circuito RLC trabalhe sob o regime criticamente amortecido ou superamortecido, ou seja:

$$L \leq \frac{CR^2}{4} \quad (5.46)$$

No inversor HB-ANPC/FC, o circuito no estado transitório é formado por duas capaci-

tâncias, duas chaves e a indutância, logo, a resistência do circuito RLC dada por:

$$R = 2R_C + 2R_S + R_L \quad (5.47)$$

onde R_C é a resistência do capacitor, R_S é a resistência das chaves e R_L é a resistência do indutor.

Os valores das resistências dos capacitores e das chaves foram obtidos nos manuais dos fabricantes. Foi utilizado um capacitor de $220\mu F$ da marca EPCOS cuja resistência é de aproximadamente $0,06\Omega$. Já as chaves utilizadas, foram IGBTs da SEMIKRON modelo SKM 50GB 123D cuja resistência é de $22m\Omega$. O indutor usado com valor $1\mu F$, foi projetado em laboratório possuindo uma resistência de $0,015\Omega$ aproximadamente.

No inversor HB-ANPC/FS, o circuito no estado transitório é formado por uma capacitância, duas chaves e a indutância, com isso, a resistência é expressa como:

$$R = R_C + 2R_S + R_L \quad (5.48)$$

Substituindo os valores das resistências nas equações, é possível obter uma faixa permissível de valores de indutância em função dos capacitores empregados nos inversores. Na Fig. 5.22, observa-se alguns valores de indutância para os dois inversores. Os indutores possuem valores muito baixos, decorrente do baixo valor da resistência do circuito RLC. Aumentando os valores dos capacitores, possibilita também empregar indutores com valores maiores, no entanto, perde-se um pouco da vantagem das topologias que reside no fato de poder operar com componentes passivos de baixo valor e conseqüentemente menor tamanho físico. Os indutores que devem ser utilizados, devem possuir valores menores ou iguais às retas plotadas.

5.6.3 Corrente máxima nas chaves

Na Fig. 5.23, é ilustrada a corrente máxima que as chaves dos conversores conduzirá, quando imposta uma determinada corrente de carga. Para obtenção desses valores utilizou-se uma frequência de chaveamento de 5 kHz, capacitor de $220\mu F$ e indutância de $1\mu H$.

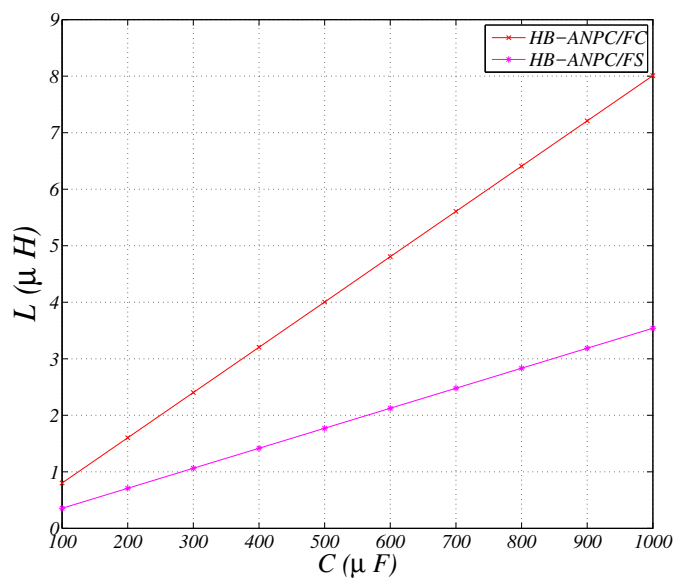


Figura 5.22: Valores de indutâncias permitidos em função dos capacitores utilizados

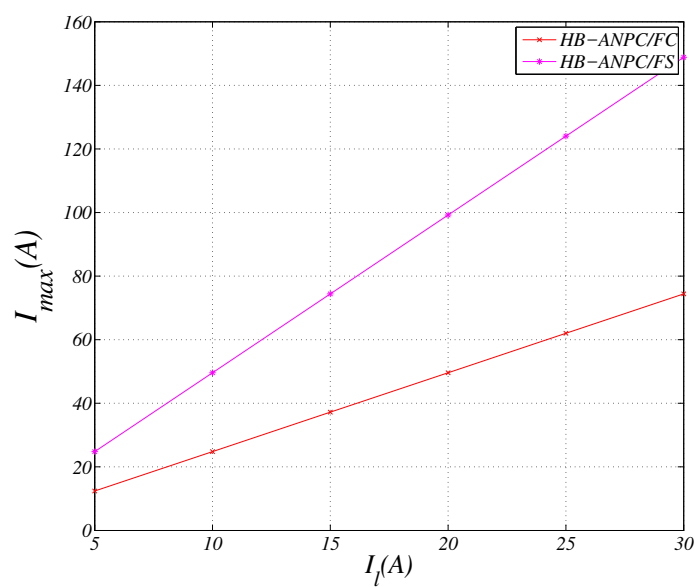


Figura 5.23: Corrente máxima nas chaves dos inversores propostos

A corrente máxima do inversor HB-ANPC/FC é cerca de metade da corrente máxima do inversor HB-ANPC/FS, como já havia sido explicitado em (5.34) e (5.37). Como a corrente máxima é inversamente proporcional à frequência de chaveamento e aos componentes passivos dos inversores, há a possibilidade de manipulação desses parâmetros, para equiparação dos valores obtidos nos dois inversores.

5.6.4 Perdas

Em termos de perdas nos inversores, foi feito um estudo comparativo entre a topologia proposta por (Silva et al., 2011) e as topologias propostas neste trabalho: HB-ANPC/FC e HB-ANPC/FS. Além das perdas totais em cada conversor, foi analisado também a distribuição das perdas em cada dispositivo. Este estudo foi realizado utilizando $200V$ como tensão de barramento, frequência de chaveamento de $5kHz$ e uma carga composta de um resistor $R = 25\Omega$ e uma indutância $L = 7mH$.

Investigou-se a distribuição de perdas apenas nas chaves: S_{a1} , S_{a2} , S_{a6} e S_{a7} , uma vez que as perdas destas, são iguais respectivamente às perdas das chaves: S_{a4} , S_{a3} , S_{a5} e S_{a8} .

Observando as perdas por chaveamento, nota-se que S_{a1} e S_{a7} possuem maiores perdas que as chaves S_{a2} e S_{a6} , pois as chaves S_{a1} e S_{a7} operam na frequência da portadora, enquanto que as chaves S_{a2} e S_{a6} operam em baixa frequência.

Analisando as perdas por condução, percebe-se que as perdas nas chaves S_{a2} e S_{a6} possuem valores próximos para as três topologias estudadas, comportamento esse que não pode ser observado nas chaves S_{a1} e S_{a7} .

A chave S_{a1} apresenta menores perdas por condução e chaveamento na topologia HB-ANPC/FS, enquanto que para o inversor HB-ANPC/FC possui as maiores perdas tanto por condução quanto por chaveamento. Isso ocorre em virtude da chave S_{a1} não conduzir corrente no semi-ciclo positivo da topologia HB-ANPC/FS, diferentemente da topologia HB-ANPC/FC que além de conduzir corrente nos modos de operações 2 e 3, conduz uma corrente mais elevada nas transições do modo 2 para o modo 1 e do modo 4 para o modo 3.

A chave S_{a7} possui maiores perdas por condução e por chaveamento na configuração HB-ANPC/FS e menores perdas na configuração HB-ANPC/FC tanto por condução quanto

por chaveamento. No inversor HB-ANPC/FS, S_{a7} sempre conduz a corrente de carga, além de conduzir uma sobrecorrente no modo de operação 2 quando $v_{C2} < V_{cc}$. Já na topologia HB-ANPC/FC, a chave S_{a7} conduz apenas 1/4 da corrente de carga considerando que $C_3 = 2C_1 = 2C_2$.

Com relação as perdas totais, Fig. 5.26, o conversor proposto por (Silva et al., 2011) apresenta menores perdas totais que os inversores propostos neste trabalho, uma vez que este não possui componentes passivos e também não apresenta sobrecorrentes nos dispositivos e determinados instantes.

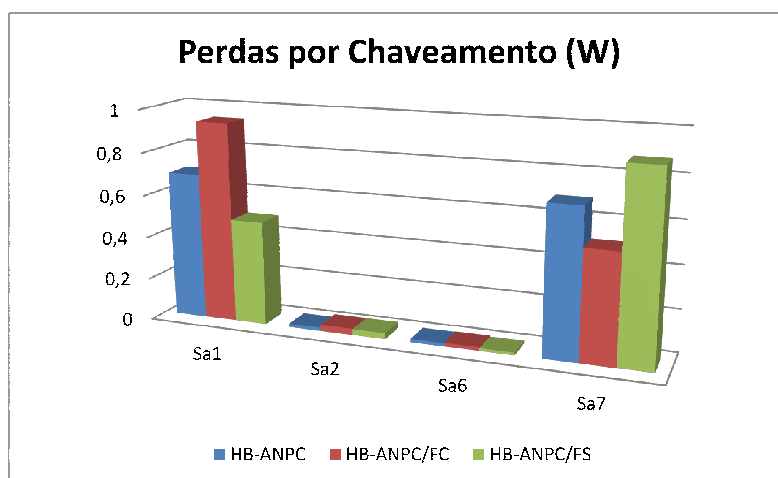


Figura 5.24: Distribuição da perdas por chaveamento

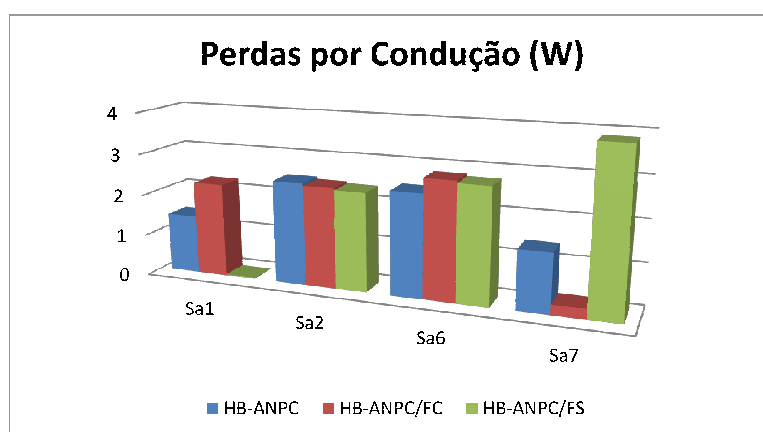


Figura 5.25: Distribuição das perdas por condução

Na Tabela 5.4 é exposta as principais características das configurações propostas neste trabalho e da configuração proposta por (Silva et al., 2011) utilizando três e seis fontes de tensão, onde ficam melhor evidenciadas as diferenças entre elas.

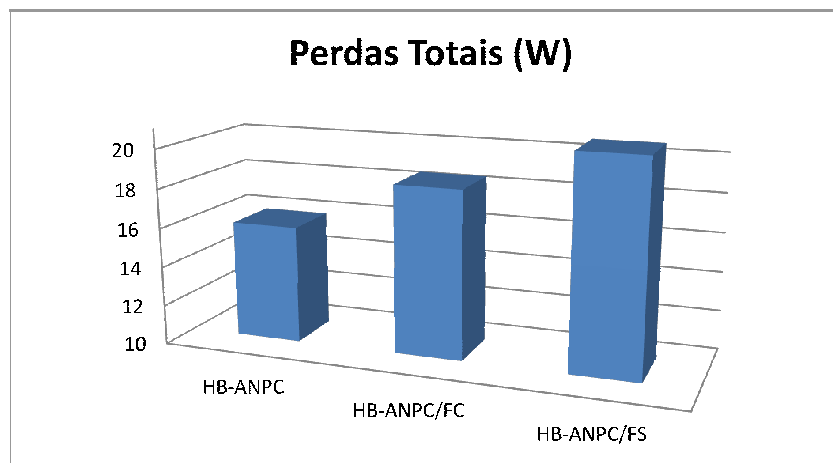


Figura 5.26: Perdas totais dos conversores

Tabela 5.4: Comparação entre os conversores de cinco níveis

Conversores	Fontes Isoladas	Componentes Passivos	Tensão Necessária	Δv_C	i_{max}
Fig. 5.2	6	0	V_{cc}	0	i_l
Fig. 5.5	3	6	V_{cc}	$\frac{0,14v_f}{120C Z }$	i_l
Fig. 5.11	3	12	V_{cc}	$\frac{i_l T_s}{2C}$	$\frac{i_l T_s}{2e\sqrt{LC}}$
Fig. 5.17	3	9	$V_{cc}/2$	$\frac{i_l T_s}{C}$	$\frac{i_l T_s}{e\sqrt{LC}}$

5.7 Resultados de simulações

Nas Figs. 5.27 e 5.28 são ilustrados os resultados de simulação da configuração HB-ANPC com capacitâncias de $C = 2200\mu F$ e de $C = 200\mu F$, respectivamente. As formas de ondas apresentadas nessas figuras são: (a) tensão de polo e corrente de carga (b) tensão nos capacitores C_1 e C_2 e corrente na carga. Os parâmetros utilizados na simulação são apresentados na Tabela 5.5.

Nas Figs. 5.29 e 5.30 são ilustrados respectivamente os resultados de simulação da configuração HB-ANPC/FC e da configuração HB-ANPC/FS usando capacitâncias de $C = 200\mu F$. As formas de ondas apresentadas nessas figuras são: (a) tensão de polo e corrente de carga (b) tensão nos capacitores C_1 e C_2 e corrente na carga.

Tabela 5.5: Parâmetros utilizados na simulação dos conversores de cinco níveis

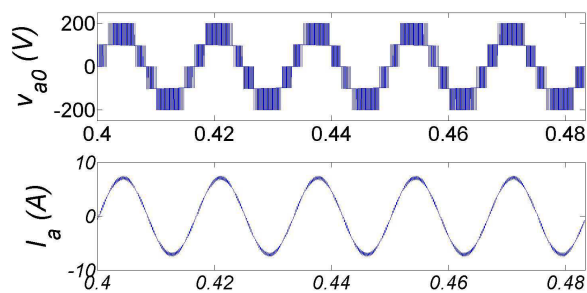
Frequência de chaveamento	$5kHz$
C_1 e C_2	$200\mu F$ e $2200\mu F$
L	$7mH$
$L_{auxiliar}$	$1\mu H$
R	25Ω
V_{cc}	$200V$
Índice de modulação	$0,9$

5.8 Resultados Experimentais

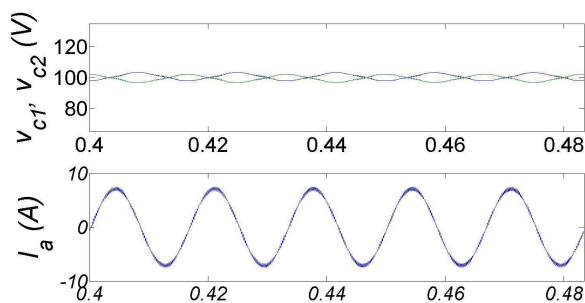
Para verificar a validade do inversor proposto, foi implementado um conversor com IGBTs da SEMIKRON controlado por um processador digital de sinais (DSP) TMS320F28335. Os parâmetros utilizados para obtenção dos resultados experimentais foram os mesmos da Tabela 5.5.

Nas Figs. 5.31, 5.32 e 5.33 são ilustrados os resultados experimentais para as configurações HB-ANPC, HB-ANPC/FC e HB-ANPC/FS, respectivamente. Todas utilizando capacitâncias de $C = 200\mu F$. As formas de ondas apresentadas nessas figuras são: (a) tensão de polo e corrente de carga (b) tensão nos capacitores C_1 e C_2 e corrente na carga.

Tanto os resultados obtidos por meio de simulações quanto os resultados experimen-

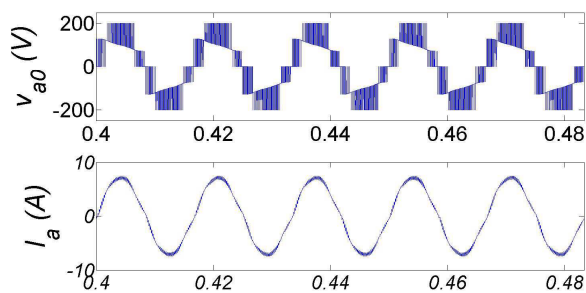


(a)

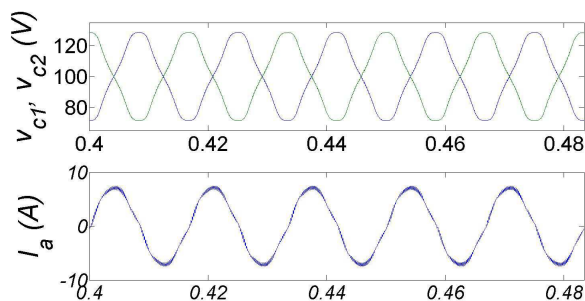


(b)

Figura 5.27: Configuração HB-ANPC com capacitâncias de $2200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente de carga.



(a)



(b)

Figura 5.28: Configuração HB-ANPC com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente de carga.

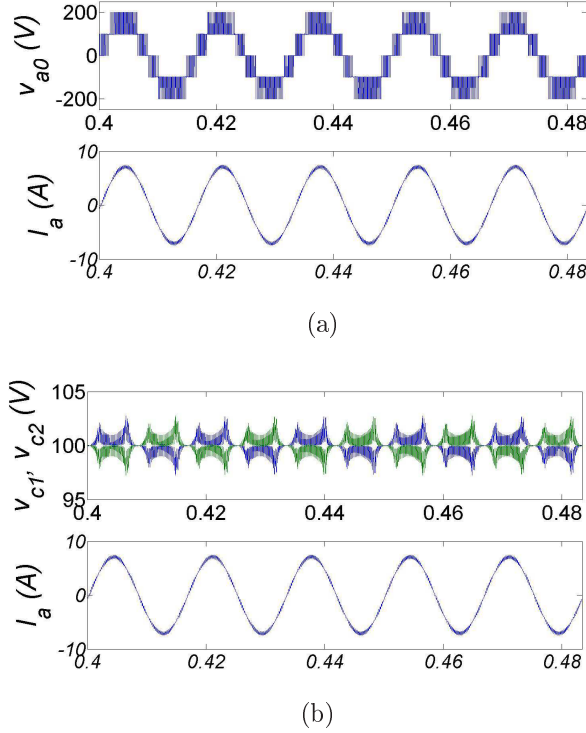
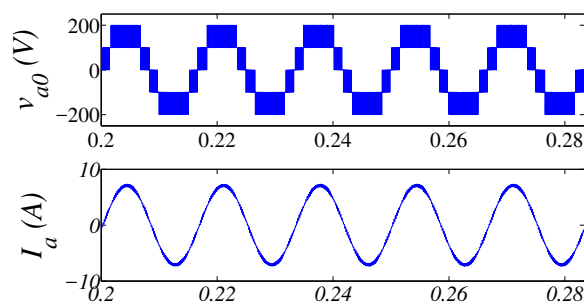


Figura 5.29: Configuração HB-ANPC/FC com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente de carga.

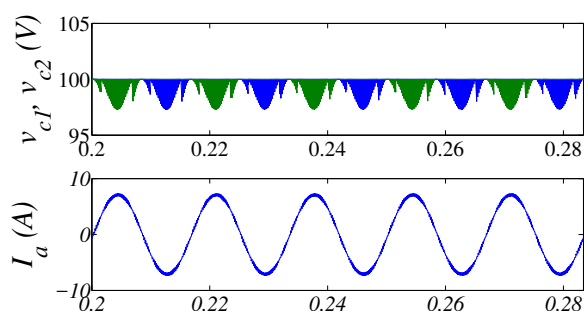
tais, evidenciam a eficiência das topologias propostas quando utiliza-se pequenas capacitâncias. Na Fig. 5.31 percebe-se que mesmo utilizando altos valores de capacitância, ainda há oscilações nas tensões no inversor HB-ANPC. Não ocorrendo este fato com os inversores HB-ANPC/FC e HB-ANPC/FS, visto que, utilizando capacitores de $200\mu F$ consegue-se um bom controle das oscilações. Os resultados experimentais evidenciam e validam as novas topologias propostas.

5.9 Conclusões

Em (Silva et al., 2011) é introduzido um conversor onde cada célula é composta de um braço de dois níveis e um braço ANPC de três níveis, denominado de inversor multinível híbrido simétrico de cinco níveis baseado nas topologias meia-ponte e ANPC - HB-ANPC. Dentre suas vantagens, este conversor permite uma melhor distribuição das perdas de chaveamento no braço (Bruckner et al., 2005). No entanto, utiliza seis fontes de tensão independentes, podendo-se reduzir para três a quantidade de fontes utilizadas, Fig. 5.5, contudo, utilizando

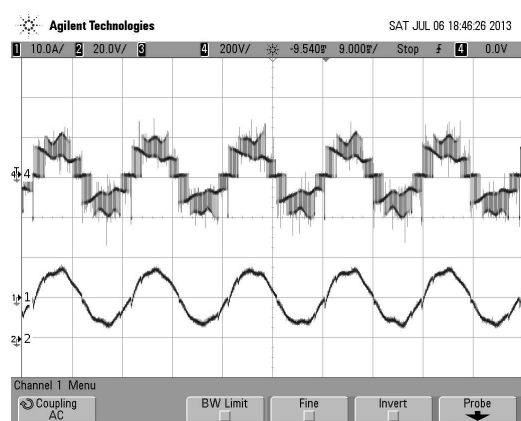


(a)

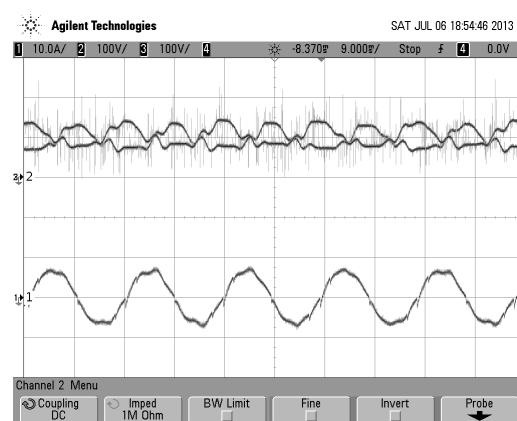


(b)

Figura 5.30: Configuração HB-ANPC/FS com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente de carga.

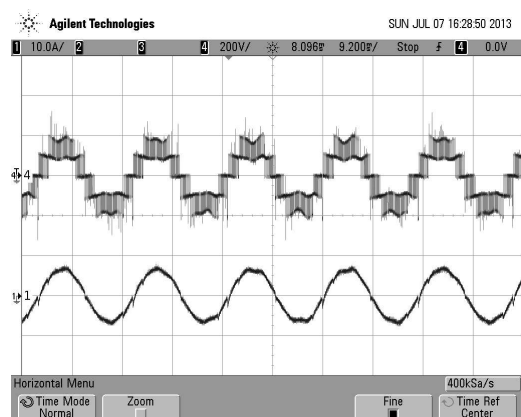


(a)

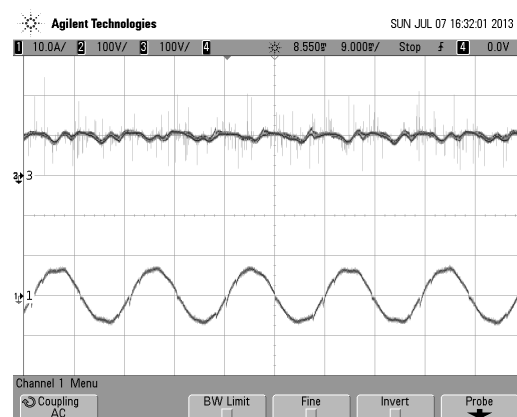


(b)

Figura 5.31: Configuração HB-ANPC com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente na carga.

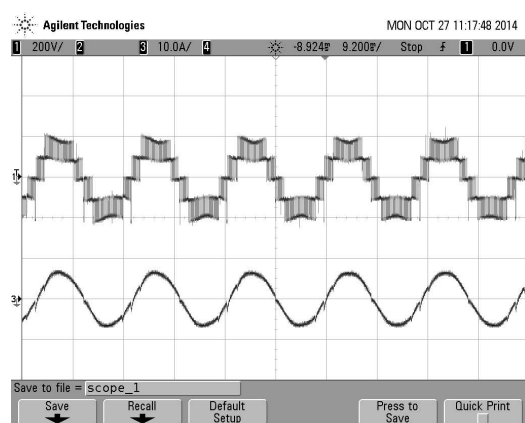


(a)

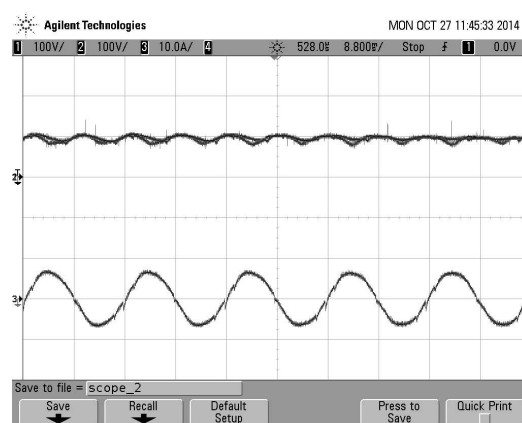


(b)

Figura 5.32: Configuração HB-ANPC/FC com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente na carga.



(a)



(b)

Figura 5.33: Configuração HB-ANPC/FS com capacitâncias de $200\mu F$. (a) De cima para baixo: Tensão de polo; corrente de carga (b) De cima para baixo: tensão nos capacitores; corrente na carga.

barramento capacitivo, o inversor apresenta oscilações nas tensões dos capacitores, mesmo usando capacitores de valores elevados. Como forma de sanar este problema é proposto neste capítulo duas topologias. A primeira delas denominada de inversor híbrido de cinco níveis baseada nas topologias meia-ponte e ANPC/capacitor flutuante - HB-ANPC/FC, um terceiro capacitor é conectado em paralelo com a célula ativa (S_{a7} e S_{a8}), para melhorar controle das tensões nos capacitores. A segunda topologia denominada de inversor híbrido de cinco níveis baseada nas topologias meia-ponte e ANPC/fonte flutuante - HB-ANPC/FS, o capacitor C_3 da topologia HB-ANPC/FC, é substituído por uma fonte de tensão com metade do valor da fonte utilizada nesta.

Uma das desvantagens de ambas as soluções é que durante o processo de correção do desbalanceamento das tensões capacitivas origina-se picos de corrente que podem atingir um valor diversas vezes superior a corrente nominal das chaves, como foi visto anteriormente. Para limitar essa elevação de corrente, um pequeno indutor é conectado ao ponto central do barramento. A adição da indutância auxiliar forma juntamente com os capacitores do barramento, um circuito RLC série, onde a seleção do valor da indutância a ser utilizada depende do valor dos capacitores e da resistência do circuito. A resistência presente no circuito advém das chaves e dos próprios componentes passivos, ou seja, uma resistência muito baixa o que implica em valores de indutância também baixos uma vez que o circuito deve operar no modo superamortecido ou criticamente amortecido. Aumentando os valores dos capacitores, possibilita também empregar indutores com valores maiores, no entanto, perde-se um pouco da vantagem das topologias de poder operar com componentes passivos de baixo valor e consequentemente menor tamanho físico.

A variação de tensão nos capacitores da topologia HB-ANPC/FC, é metade do valor Δv_C do inversor HB-ANPC/FS. Isto se deve ao fato de que na topologia HB-ANPC/FC, a corrente que flui através dos capacitores do barramento é $1/4$ da corrente de carga. Já na topologia HB-ANPC/FS, a corrente que flui pelos capacitores é igual à corrente de carga. Isso acarreta também em um pico de corrente duas vezes maior que no inversor HB-ANPC/FC. Como a corrente máxima é inversamente proporcional à frequência de chaveamento e aos componentes passivos dos inversores, há a possibilidade de manipulação desses parâmetros, para equiparação dos valores obtidos nos dois inversores, no entanto haveria um aumento das perdas por chaveamento no inversor HB-ANPC/FS.

Na nova estratégia de modulação empregada nos conversores propostos, há um maior número de comutação das chaves, gerando maiores perdas por chaveamento, além também de haver uma pior distribuição dessas perdas por chave. Além disso, a presença de componentes passivos, aliada a presença de sobrecorrentes nos dispositivos em determinados instantes, proporcionam maiores perdas totais nos inversores aqui apresentados.

Nas versões trifásicas, os conversores HB-ANPC/FC e HB-ANPC/FS possuem respectivamente doze e nove componentes passivos contra nenhum componente passivo no conversor HB-ANPC. Em contra-partida, os conversores HB-ANPC/FS e HB-ANPC/FS utilizam três fontes de tensão independentes contra 6 fontes de tensão do conversor HB-ANPC. Apesar do considerável número de componentes passivos empregados, deve-se salientar que estes componentes possuem baixo valor, favorecendo a compactação dos conversores.

Conjuntamente com a estratégia de modulação utilizada, as topologias propostas mostraram-se eficientes no que diz respeito ao controle das tensões nos capacitores, uma vez que utilizando capacitâncias de apenas $200\mu F$ obteve-se resultados bastante satisfatórios.

6

Conclusões e Trabalhos Futuros

Ao longo deste trabalho, foi demonstrado que é possível gerar diferentes topologias multiníveis utilizando diferentes conexões de células dois níveis, e o empilhamento de células é uma dessas possíveis associações. Este trabalho teve como foco investigar algumas dessas configurações de inversores multiníveis obtidas pelo empilhamento de células dois níveis. São inversores que apresentam diferentes princípios de operações, como a topologia Nested e as topologias formadas pela célula ANPC e seus derivados.

Em um primeiro momento, no capítulo 2 foi apresentado um inversor monofásico de quatro níveis chamado de inversor 2L3L, no qual é composto de um braço de dois níveis e um braço de três níveis NPC. Em relação ao inversor NPC de quatro níveis foi visto que a nova topologia, possui seis IGBTs e dois diodos, enquanto a topologia NPC faz uso também de seis chaves, no entanto utiliza quatro diodos. O balanceamento das tensões nos capacitores do barramento da topologia proposta é obtido naturalmente, devido às correntes nos capacitores se anularem em um período. Mesmo aplicando correntes mais elevadas, observou-se uma boa resposta do conversor.

Com relação as perdas totais, o inversor 2L3L apresenta maior perdas que o inversor NPC. A perda por condução do inversor 2L3L é menor, visto que possui dois diodos de grameamento a menos. No entanto, a perda por comutação é menor no inversor NPC, pois apesar das chaves estarem submetidas ao mesmo esforço de tensão, o braço de dois níveis do inversor 2L3L comuta durante todo o período do sinal de saída, elevando as perdas por

comutação nessas chaves.

O inversor 2L3L mostrou melhores respostas em termos de distribuição harmônica em relação ao inversor NPC, visto que a oscilação de tensão nos capacitores é inferior na nova topologia. Podendo este operar utilizando duas fontes de tensão, sem comprometer o controle das tensões.

A grande vantagem deste conversor reside no fato de que suas chaves são sempre submetidas ao mesmo valor de tensão de bloqueio reversa, além de reduzir as correntes nos capacitores.

No capítulo 3 foram investigadas estruturas denominadas Nested, onde o ponto central de cada um dos braços são conectados ao mesmo ponto, com o braço externo envolvendo o interno. Necessita de chaves bidirecionais nos braços mais internos, para evitar que ocorra curto-circuito nos capacitores do barramento. Em relação ao NPC de quatro, cinco e seis níveis por exemplo, há uma redução de doze, dezoito e vinte e quatro diodos, respectivamente, economizando-se ainda mais a medida que se eleva o número de níveis. A principal desvantagem do Nested está no fato de apresentar tensão de bloqueio irregular entre as chaves, onde as chaves situadas nas extremidades (braço externo) ficam submetidas a tensão total do barramento, limitando uso da topologia em casos que necessita-se tensões mais elevadas. A menos que se utilize dispositivos com alta tensão de ruptura (por exemplo, SiC e GaN) apenas nos interruptores das extremidades. As perdas por chaveamento do Nested e NPC são praticamente as mesmas. Mesmo sendo, os esforços de tensão nas chaves do Nested maiores que os esforços de tensão nas chaves do inversor NPC, o NPC de quatro níveis, possui doze diodos (de grampeamento) a mais que o Nested, contribuindo de forma significativa para o aumento da perda total do NPC. Já as perdas por condução do Nested são menores que as perdas do NPC, isso pode ser explicado devido ao número de chaves em condução simultânea do Nested ser menor que o número de chaves em condução simultânea do NPC.

Foi visto ainda que as topologias Nested podem ser generalizadas para maiores números de níveis, adicionando-se braços externos em cada fase.

No capítulo 4, foi proposto um algoritmo de modulação simplificado para o inversor de 2/3 níveis proposto em (Mihalache, 2006). A nova estratégia PWM reduz significativamente o número de operações realizada, necessitando de apenas nove operações, em vez de 54

necessárias na modulação tradicional, gerando os mesmos resultados.

O inversor 2/3 níveis por ser uma topologia que possui características de ambas as configurações comparadas, se sai melhor que o inversor de dois níveis para as mais altas frequências de chaveamento e maiores tensões *c.c.*. Com relação ao NPC, apresenta melhor desempenho para baixa frequência e tensão. Isso pode ser explicado pelo fato do inversor 2/3 níveis possuir a vantagem do inversor NPC, ou seja, apresenta chaves que comutam com frequências diferentes, reduzindo perdas por condução. Em contra-partida, possui a desvantagem do inversor de dois níveis de que algumas das chaves são submetidas à tensão total do barramento quando estão bloqueadas, fazendo com as perdas por chaveamento se elevem, essa característica sugerem que o inversor 2/3 níveis é uma boa opção em aplicações com baixa tensão. Mostrou melhores resultados que o inversor de dois níveis e piores resultados que o inversor de três níveis, em termos de distorções harmônicas, visto que a modulação da configuração de 2/3 níveis impõe ambos os modos de operação.

Por fim, no capítulo 5 foram apresentadas duas topologias. A primeira delas denominada de inversor híbrido de cinco níveis baseada nas topologias meia-ponte e ANPC/capacitor flutuante - HB-ANPC/FC, um terceiro capacitor é conectado em paralelo com a célula ativa (S_{a7} e S_{a8}), para melhorar controle das tensões nos capacitores. A segunda topologia denominada de inversor híbrido de cinco níveis baseada nas topologias meia-ponte e ANPC/fonte flutuante - HB-ANPC/FS, o capacitor C_3 da topologia HB-ANPC/FC, é substituído por uma fonte de tensão com metade do valor da fonte utilizada nesta.

Uma das desvantagens de ambas as soluções é que durante o processo de correção do desbalanceamento das tensões capacitivas origina-se picos de corrente que podem atingir um valor diversas vezes superior a corrente nominal das chaves, sendo necessário um indutor para limitar as correntes.

A variação de tensão nos capacitores da topologia HB-ANPC/FC, é metade do valor ΔV_C do inversor HB-ANPC/FS. Isto se deve ao fato de que na topologia HB-ANPC/FC, a corrente que flui através dos capacitores do barramento é 1/4 da corrente de carga. Já na topologia HB-ANPC/FS, a corrente que flui pelos capacitores é igual à corrente de carga. Isso acarreta também em um pico de corrente duas vezes maior que no inversor HB-ANPC/FC. Nos conversores propostos, há um maior número de comutação das chaves, gerando maiores

perdas por chaveamento.

Nas versões trifásicas, os conversores HB-ANPC/FC e HB-ANPC/FS possuem respectivamente doze e nove componentes passivos contra nenhum componente passivo no conversor HB-ANPC, em contra-partida, os conversores HB-ANPC/FS e HB-ANPC/FS utilizam três fontes de tensão independentes contra 6 fontes de tensão do conversor HB-ANPC. Apesar do considerável número de componentes passivos empregados, deve-se salientar que estes componentes possuem baixo valor, favorecendo a compactação dos conversores.

Como sugestões para trabalhos futuros, dando prosseguimento ao estudo apresentado neste trabalho, pode-se citar:

- Realização de um estudo comparativo entre a topologia 2L3L com diversas outras topologias considerando, perdas, distribuição de perdas por chave, THD, WTHD, número de dispositivos empregados, entre outros;
- Investigação do conversor Nested com relação a tolerância à falhas;
- Verificar a possibilidade de aplicação da modulação descontínua no inversor 2/3 níveis, além de verificar a distribuição de perdas nas chave;
- Implementação de técnica de controle de tensão dos capacitores das topologias em ponte completa ANPC para redução das oscilações de tensão;

Referências Bibliográficas

- (1997) Power electronics handbook, Elsevier.
- (2004) Power Electronic Circuits, John Wiley and Sons, Inc.
- Aghdam, M. G. H.; Fathi, S. H. e Gharehpetian, G. B. (2008) Analysis of multi-carrier pwm methods for asymmetric multi-level inverter, In: *2008 3rd IEEE Conference on Industrial Electronics and Applications*, pp. 2057–2062.
- Almeida, K. V.; Oliveira, T.; Freitas, I. e Jacobina, C. (2006) Controle de corrente em conversor cc/ca monofásico multinível usando uma quantidade reduzida de componentes, In: *XII Brazilian Congress on Automatic Control and Latin-American Congress on Automatic Control*.
- Andrade, A. S.; Muniz, J. H. e da Silva, E. R. (2015) Three-level hybrid flying dc-source anpc inverter: Application as a photovoltaic ac source, In: *2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)*, pp. 1094–1099.
- Astudillo, R.; Ruiz-Caballero, D.; Ortmann, M. e Mussa, S. (2008) New symmetrical hybrid multilevel dc-ac converters, In: *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 1916–1922.
- Babaei, E.; Alilu, S. e Laali, S. (2014) A new general topology for cascaded multilevel inverters with reduced number of components based on developed h-bridge, *IEEE Transactions on Industrial Electronics*, **61**(8):3932–3939.
- Baek, J. W.; Yoo, D. W.; Rim, G. H. e Lai, J.-S. (2005) Solid state marx generator using series-connected igbts, *IEEE Transactions on Plasma Science*, **33**(4):1198–1204.
- Baker, R. H. (1977a) U.s. patent 4 135 235, In: *Synthesizer circuit for generating three-tier waveforms*.
- Baker, R. H. (1977b) U.s. patent 4 137 570, In: *Waveform synthesizer*.

- Baker, R. H. (1980) High-voltage converter circuit, U. S. Patent 4 203 151, USA.
- Baker, R. H. e H., B. L. (1975) Electric power converter, U. S. Patent 3 867 643, USA.
- Banaei, M. R. e Salary, E. (2010) New multilevel inverter with reduction of switches and gate driver, In: *2010 18th Iranian Conference on Electrical Engineering*, pp. 784–789.
- Barbosa, P.; Steimer, P.; Steinke, J.; Winkelkemper, M. e Celanovic, N. (2005) Active-neutral-point-clamped (anpc) multilevel converter technology, In: *Power Electronics and Applications, 2005 European Conference on*, pp. 10 pp.–P.10.
- Basha, N. K. e Nayeemuddin, M. A. (2013) A new cascaded multilevel inverter with less number of switches, *International Journal of Research in Engineering and Technology (IJRET)*.
- Batschauer, A.; Perin, A.; Mussa, S. e Heldwein, M. (2010) Evaluation of the hybrid four-level converter employing half-bridge modules for two different modulation schemes, In: *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, pp. 909–914.
- Bhagwat, P. M. e Stefanovic, V. (1983) Generalized structure of a multilevel pwm inverter, *Industry Applications, IEEE Transactions on*, **IA-19**(6):1057–1069.
- Blasko, V. (1996) A hybrid pwm strategy combining modified space vector and triangle comparison methods, In: *Power Electronics Specialists Conference, 1996. PESC '96 Record., 27th Annual IEEE*, vol. 2, pp. 1872–1878 vol.2.
- Boora, A.; Nami, A.; Zare, F.; Ghosh, A. e Blaabjerg, F. (2010) Voltage-sharing converter to supply single-phase asymmetrical four-level diode-clamped inverter with high power factor loads, *Power Electronics, IEEE Transactions on*, **25**(10):2507–2520.
- Bose, B. (2013) Global energy scenario and impact of power electronics in 21st century, *Industrial Electronics, IEEE Transactions on*, **60**(7):2638–2651.
- Bowes, S. R. e Bird, B. M. (1975) Novel approach to the analysis and synthesis of modulation processes in power convertors, *Electrical Engineers, Proceedings of the Institution of*, **122**(5):507–513.
- Bruckner, T. e Bemet, S. (2001) Loss balancing in three-level voltage source inverters applying active npc switches, In: *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*, vol. 2, pp. 1135–1140 vol.2.

- Bruckner, T.; Bernet, S. e Guldner, H. (2005) The active npc converter and its loss-balancing control, *Industrial Electronics, IEEE Transactions on*, **52**(3):855–868.
- Buja, G. S. e Indri, G. B. (1977) Optimal pulsewidth modulation for feeding ac motors, *IEEE Transactions on Industry Applications*, **IA-13**(1):38–44.
- Carmona, G.; Ramos, R.; Ruiz-Caballero, D.; Mussa, S. A. e Meynard, T. (2008) Symmetrical hybrid multilevel dc-ac converters using the pd-csv modulation, In: *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*, pp. 3327–3332.
- Carrara, G.; Gardella, S.; Marchesoni, M.; Salutari, R. e Sciutto, G. (1992) A new multilevel pwm method: a theoretical analysis, *Power Electronics, IEEE Transactions on*, **7**(3):497–505.
- Cavalcanti, M. C.; da Silva, E.; Boroyevich, D.; Dong, W. e Jacobina, C. B. (2003) A feasible loss model for IGBT in soft-switching inverters, In: *Proc. IEEE PESC*, pp. 1845–1850.
- Ceglia, G.; Grau, V.; Guzman, V.; Sanchez, C.; Ibanez, F.; Walter, J.; Millan, A. e Gimenez, M. I. (2004) A new multilevel inverter topology, In: *Devices, Circuits and Systems, 2004. Proceedings of the Fifth IEEE International Caracas Conference on*, vol. 1, pp. 212–218.
- Chan, P.; Chung, H.-H. e Hui, S. (2009) A generalized theory of boundary control for a single-phase multilevel inverter using second-order switching surface, *Power Electronics, IEEE Transactions on*, **24**(10):2298 –2313.
- Chandwani, H. B. e Matnani, M. K. (2012) A review of modulation techniques for hybrid multilevel inverter, In: *Emerging Technology Trends in Electronics, Communication and Networking (ET2ECN), 2012 1st International Conference on*, pp. 1–7.
- Chen, J. P.; Ru, F.; He, Y. Y. e Xiao-lane, M. (2008) On novel structure of multilevel dc-link inverter, In: *2008 Chinese Control and Decision Conference*, pp. 1516–1520.
- Choi, N.; Cho, J. e Cho, G. H. (1991) A general circuit topology of multilevel inverter, In: *Power Electronics Specialists Conference, 1991. PESC '91 Record., 22nd Annual IEEE*, pp. 96–103.
- Corrêa, M. B. d. R. (2002) Estruturas Estáticas Alternativas para Acionamentos de Motores de Indução, Tese de doutorado, Universidade Federal Campina Grande, Rua Aprígio Veloso, Campos I.

- Dijkhuizen, F. e Duarte, J. (2001) Pulse commutation in nested-cell converters through auxiliary resonant pole concepts, In: *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, vol. 3, pp. 1731–1738 vol.3.
- Dijkhuizen, F. e Duarte, J. (2004) Basic auxiliary resonant pole (arp) applied to three-level nested cells switching leg, In: *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol. 6, pp. 4434–4440 Vol.6.
- Ding, K.; ping Zou, Y.; Wang, Z.; chao Wu, Z. e Zhang, Y. (2003) A new diode-clamp cascade multilevel converter, In: *Industrial Electronics Society, 2003. IECON '03. The 29th Annual Conference of the IEEE*, vol. 3, pp. 2566–2569 Vol.3.
- Dordevic, O.; Jones, M. e Levi, E. (2013) A comparison of carrier-based and space vector pwm techniques for three-level five-phase voltage source inverters, *Industrial Informatics, IEEE Transactions on*, **9**(2):609–619.
- E Silva, R. N. A. L. (2012) Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis Baseado nas Topologias Half-Bridge e ANPC, Tese de doutorado, Universidade Federal do Ceará.
- Ewanchuk, J.; Haque, R. U.; Knight, A. e Salmon, J. (2012) Three phase common-mode winding voltage elimination in a three-limb five-level coupled inductor inverter, In: *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 4794–4801.
- Feldman, R.; Watson, A. J.; Clare, J. C.; Wheeler, P. W.; Trainer, D. R. e Crookes, R. W. (2012) Dc fault ride-through capability and statcom operation of a hybrid voltage source converter arrangement for hvdc power transmission and reactive power compensation, In: *Power Electronics, Machines and Drives (PEMD 2012), 6th IET International Conference on*, pp. 1–5.
- Flairty, C. W. (1962) A 50-kva adjustable-frequency 24-phase controlled rectifier inverter, *Industrial Electronics, IRE Transactions on*, **IE-9**(1):56–60.
- Floricau, D.; Gateau, G.; Floricau, E. e Leredde, A. (2009) Reducing of the average switching frequency using three-level active-snpc converter, In: *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, pp. 1–7.
- Floricau, D.; Floricau, E. e Gateau, G. (2011) New multilevel converters with coupled induc-

- tors: Properties and control, IEEE Transactions on Industrial Electronics, **58**(12):5344–5351.
- Gopinath, A.; Mohamed, A. e Baiju, M. R. (2009) Fractal based space vector pwm for multilevel inverters:a novel approach, Industrial Electronics, IEEE Transactions on, **56**(4):1230–1237.
- Hausmann, R. e Barbi, I. (2009) Three-phase multilevel bidirectional dc-ac converter using three-phase coupled inductors, In: *2009 IEEE Energy Conversion Congress and Exposition*, pp. 2160–2167.
- Hiller, M.; Krug, D.; Sommer, R. e Rohner, S. (2009) A new highly modular medium voltage converter topology for industrial drive applications, In: *Power Electronics and Applications, 2009. EPE '09. 13th European Conference on*, pp. 1–10.
- Ilves, K.; Taffner, F.; Norrga, S.; Antonopoulos, A.; Harnfors, L. e Nee, H. P. (2015) A submodule implementation for parallel connection of capacitors in modular multilevel converters, IEEE Transactions on Power Electronics, **30**(7):3518–3527.
- K. Rachel, U. R. (2013) Pwm for single phase five level transistor clamped strategies h bridge inverter with voltage boosting capacity, International Journal of Research in Engineering and Technology (IJRET).
- Kai, D.; Yun-ping, D.; Zheng-ying, C.; Zhi-chao, W.; Fei, L. e Xiang-lian, X. (2004) A novel single-phase 5-level asymmetric inverter, In: *Power Electronics and Motion Control Conference, 2004. IPEMC 2004. The 4th International*, vol. 2, pp. 793–798 Vol.2.
- Kou, X.; Corzine, K. A. e Familiant, Y. L. (2002) Full binary combination schema for floating voltage source multi-level inverters, In: *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the*, vol. 4, pp. 2398–2404 vol.4.
- Kouro, S.; Malinowski, M.; Gopakumar, K.; Pou, J.; Franquelo, L.; Wu, B.; Rodriguez, J.; Perez, M. e Leon, J. (2010) Recent advances and industrial applications of multilevel converters, Industrial Electronics, IEEE Transactions on, **57**(8):2553–2580.
- Lai, J.-S. e Peng, F. Z. (1996) Multilevel converters-a new breed of power converters, IEEE Transactions on Industry Applications, **32**(3):509–517.
- Lai, Y. S. e Shyu, F. S. (2002) Topology for hybrid multilevel inverter, IEE Proceedings - Electric Power Applications, **149**(6):449–458.

- Lee, Y.-H.; Kim, R.-Y. e Hyun, D.-S. (1999) A novel svpwm strategy considering dc-link balancing for a multi-level voltage source inverter, In: *Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual*, vol. 1, pp. 509–514 vol.1.
- Lesnicar, A. e Marquardt, R. (2003) An innovative modular multilevel converter topology suitable for a wide power range, In: *Power Tech Conference Proceedings, 2003 IEEE Bologna*, vol. 3, pp. 6 pp. Vol.3–.
- Lezana, P. e Rodriguez, J. (2007) Mixed multicell cascaded multilevel inverter, In: *2007 IEEE International Symposium on Industrial Electronics*, pp. 509–514.
- Li, J.; Huang, A.; Bhattacharya, S. e Tan, G. (2009) Three-level active neutral-point-clamped (anpc) converter with fault tolerant ability, In: *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, pp. 840–845.
- Manjrekar, M. D. e Lipo, T. A. (1998) A hybrid multilevel inverter topology for drive applications, In: *Applied Power Electronics Conference and Exposition, 1998. APEC '98. Conference Proceedings 1998., Thirteenth Annual*, vol. 2, pp. 523–529 vol.2.
- Marchesoni, M. (1989) High performance current control techniques for applications to multilevel high power voltage source inverters, In: *Power Electronics Specialists Conference, 1989. PESC '89 Record., 20th Annual IEEE*, pp. 672–682 vol.2.
- Marchesoni, M.; Mazzucchelli, M. e Tenconi, S. (1988) A non conventional power converter for plasma stabilization, In: *Power Electronics Specialists Conference, 1988. PESC '88 Record., 19th Annual IEEE*, pp. 122–129 vol.1.
- Mariethoz, S. e Rufer, A. (2004) New configurations for the three-phase asymmetrical multilevel inverter, In: *Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE*, vol. 2, pp. 828 – 835 vol.2.
- Marquardt, R. (2010) Modular multilevel converter: An universal concept for hvdc-networks and extended dc-bus-applications, In: *Power Electronics Conference (IPEC), 2010 International*, pp. 502–507.
- Matsui, K.; Ueda, F.; Tsuboi, K.; Iwata, K. e Kobayashi, T. (1996) Parallel connections of pulsewidth modulated npc converters using current sharing reactors, In: *Industrial Electronics, Control, and Instrumentation, 1996., Proceedings of the 1996 IEEE IECON 22nd International Conference on*, vol. 3, pp. 1776–1783 vol.3.

- Mazzucchelli, M.; Puglisi, L. e Sciutto, G. (1981) Pwm systems in power converters: An extension of the “subharmonic” method, *IEEE Transactions on Industrial Electronics and Control Instrumentation*, **IECI-28**(4):315–322.
- McGrath, B. e Holmes, D. (2002) Multicarrier pwm strategies for multilevel inverters, *Industrial Electronics, IEEE Transactions on*, **49**(4):858–867.
- Meynard, T. A. e Foch, H. (1992) Multi-level conversion: high voltage choppers and voltage-source inverters, In: *Power Electronics Specialists Conference, 1992. PESC '92 Record., 23rd Annual IEEE*, pp. 397–403 vol.1.
- Mihalache, L. (2006) A hybrid 2/3 level converter with minimum switch count, In: *Industry Applications Conference, 2006. 41st IAS Annual Meeting. Conference Record of the 2006 IEEE*, vol. 2, pp. 611–618.
- Mizukoshi, M. (1999) U.s. patent 6 005 787, In: *Multilevel Power Converter Including Switching Circuits*, pp. 1585 –1591.
- Morgan, R. E. e Hoft, R. G. (1964) Magnetic-scr amplifier with lock-out controls for synchronizing and protection, *IEEE Transactions on Communication and Electronics*, **83**(73):371–373.
- Muniz, J. H. G.; da Silva, E. R. C.; da Nóbrega, R. B. e dos Santos, E. C. (2013) An improved pulse-width-modulation for the modified hybrid 2/3-level converter, In: *2013 Brazilian Power Electronics Conference*, pp. 248–253.
- Muniz, J. H. G.; da Silva, E. R. C.; Andrade, A. S. e dos Santos, E. C. (2015) A new five-level half-bridge based on a hybrid active neutral point clamped/flying dc-source inverter, In: *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 3601–3606.
- Muniz, J. H. G.; da Silva, E. R. C.; dos Santos Jr, E. C. e Bueno, D. A. A. (2016) Pulse-width-modulation for a modified hybrid 2/3-level converter, *Brazilian Journal Of Power Electronics*.
- Nabae, A.; Takahashi, I. e Akagi, H. (1981) A new neutral-point-clamped pwm inverter, *Industry Applications, IEEE Transactions on*, **IA-17**(5):518–523.
- Najafi, E. e Yatim, A. H. M. (2012) Design and implementation of a new multilevel inverter topology, *IEEE Transactions on Industrial Electronics*, **59**(11):4148–4154.

- Nami, A.; Zare, F.; Ghosh, A. e Blaabjerg, F. (2011) A hybrid cascade converter topology with series-connected symmetrical and asymmetrical diode-clamped h-bridge cells, *Power Electronics, IEEE Transactions on*, **26**(1):51–65.
- Nami, A.; Liang, J.; Dijkhuizen, F. e Demetriades, G. D. (2015) Modular multilevel converters for hvdc applications: Review on converter cells and functionalities, *IEEE Transactions on Power Electronics*, **30**(1):18–36.
- Oh, W.-S.; Han, S.-K.; Choi, S.-W. e Moon, G.-W. (2006) Three phase three-level pwm switched voltage source inverter with zero neutral point potential, *Power Electronics, IEEE Transactions on*, **21**(5):1320–1327.
- de Oliveira, A. S.; da Silva, E. R. e Jacobina, C. B. (2004) A hybrid pwm strategy for multilevel voltage source inverters, In: *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, vol. 6, pp. 4220–4225 Vol.6.
- Oliveira Jr, A. S.; Silva, E. R. C. d. e Jacobina, C. B. (2006) Inversor de tres niveis com um numero reduzido de componentes, In: *7o. Congresso Latino-Americano De Automatica*.
- Patel, H. S. e Hoft, R. G. (1974) Generalized techniques of harmonic elimination and voltage control in thyristor inverters: Part ii — voltage control techniques, *IEEE Transactions on Industry Applications*, **IA-10**(5):666–673.
- Peng, F. Z. (2001) A generalized multilevel inverter topology with self voltage balancing, *Industry Applications, IEEE Transactions on*, **37**(2):611–618.
- Peng, F. Z.; Lai, J.-S.; McKeever, J. e VanCoevering, J. (1996) A multilevel voltage-source inverter with separate dc sources for static var generation, *Industry Applications, IEEE Transactions on*, **32**(5):1130–1138.
- Radan, A.; Shahirinia, A. H. e Falahi, M. (2007) Evaluation of carrier-based pwm methods for multi-level inverters, In: *2007 IEEE International Symposium on Industrial Electronics*, pp. 389–394.
- Rech, C. e Pinheiro, J. R. (2007) Impact of hybrid multilevel modulation strategies on input and output harmonic performances, *IEEE Transactions on Power Electronics*, **22**(3):967–977.
- Rodríguez-Rodríguez, J. R.; Moreno-Goytia, E. L. e Venegas-Rebollar, V. (2011) A transformerless, single dc-input, dc-ac 7-levels boost converter for pv applications, In: *North*

- American Power Symposium (NAPS)*, 2011, pp. 1–6.
- Rodriguez, J.; Lai, J.-S. e Peng, F. Z. (2002) Multilevel inverters: a survey of topologies, controls, and applications, *Industrial Electronics, IEEE Transactions on*, **49**(4):724–738.
- Rodriguez, J.; Franquelo, L.; Kouro, S.; Leon, J.; Portillo, R.; Prats, M. e Perez, M. (2009) Multilevel converters: An enabling technology for high-power applications, *Proceedings of the IEEE*, **97**(11):1786–1817.
- Rosas-Caro, J. C.; Ramirez, J. M. e Garcia-Vite, P. M. (2008) Novel dc-dc multilevel boost converter, In: *2008 IEEE Power Electronics Specialists Conference*, pp. 2146–2151.
- Ruiz-Caballero, D.; Ramos-Astudillo, R.; Mussa, S. e Heldwein, M. (2010) Symmetrical hybrid multilevel dc-ac converters with reduced number of insulated dc supplies, *Industrial Electronics, IEEE Transactions on*, **57**(7):2307–2314.
- dos Santos, E. e da Silva, E. R. (2014) *Advanced Power Electronics Converters: PWM Converters Processing AC Voltages*, Wiley-IEEE Press.
- dos Santos, E. C. (2005) *Estratégia Generalizada de Modulação por Lagura de Pulso para Inversores Multiníveis*, Tese de doutorado, Universidade Federal Campina Grande, Rua Aprigio Veloso, Campos I.
- dos Santos, E. C.; Muniz, J. H. G. e da Silva, E. R. C. (2011) 2l3l inverter, In: *XI Brazilian Power Electronics Conference*, pp. 924–929.
- dos Santos, E. C.; Muniz, J. H. G.; da Silva, E. R. C. e Jacobina, C. B. (2012) Nested multilevel configurations, In: *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 324–329.
- d. Santos, E. C.; Muniz, J. H. G.; da Silva, E. R. C. e Jacobina, C. B. (2015) Nested multilevel topologies, *IEEE Transactions on Power Electronics*, **30**(8):4058–4068.
- Schönung, A. e Stemmler, H. (1964) Static frequency changers with subharmonic control in conjunction with reversible variable speed a.c. drives, *Brown Boveri Rev.*, **51**(8):555–577.
- Seixas, P. F.; Mendes, M. A. S.; Donoso-Garcia, P. e Lima, A. M. N. (2000) A space vector pwm method for three-level voltage source inverters, In: *Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE*, vol. 1, pp. 549–555 vol.1.

- da Silva, E. R. C.; Muniz, J. H. G.; dos Santos, E. C.; Silva, R. N. A. e Barreto, L. H. (2013) Capacitor balance in a five-level based halfbridge converter by use of a mixed active-cell, In: *2013 IEEE Energy Conversion Congress and Exposition*, pp. 414–419.
- da Silva, J. C. L.; da Silva, E. R. C. e Muniz, J. H. G. (2014) Inversor monofásico 2l3l com indutores acoplados, In: *Anais do XX Congresso Brasileiro de Automática (CBA)*, pp. 562–568.
- Silva, R. N. A. L.; Barreto, L. H. S. C.; Oliveira, D.; Henn, G. A. L.; Praca, P.; Heldwein, M. e Mussa, S. (2011) Five-level hybrid converter based on a half-bridge/anpc cell, In: *Power Electronics Conference (COBEP), 2011 Brazilian*, pp. 898–902.
- Sneineh, A. A.; y. Wang, M. e Tian, K. (2006) A hybrid capacitor-clamp cascade multilevel converter, In: *IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics*, pp. 2031–2036.
- Solas, E.; Abad, G.; Barrena, J. A.; Aurtenetxea, S.; Cárcar, A. e Zaj?c, L. (2013) Modular multilevel converter with different submodule concepts 2014;part i: Capacitor voltage balancing method, *IEEE Transactions on Industrial Electronics*, **60**(10):4525–4535.
- Steimer, P. (2010) Enabled by high power electronics - energy efficiency, renewables and smart grids, In: *Power Electronics Conference (IPEC), 2010 International*, pp. 11–15.
- Steinke, J. K. (1988) Control strategy for a three phase ac traction drive with three-level gto pwm inverter, In: *Power Electronics Specialists Conference, 1988. PESC '88 Record., 19th Annual IEEE*, pp. 431–438 vol.1.
- Su, G.-J. (2005) Multilevel dc-link inverter, *IEEE Transactions on Industry Applications*, **41**(3):848–854.
- Su, G.-J. e Adams, D. J. (2001) Multilevel dc link inverter for brushless permanent magnet motors with very low inductance, In: *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, vol. 2, pp. 829–834 vol.2.
- Suh, B.-S. e Hyun, D.-S. (1997) A new n-level high voltage inversion system, *IEEE Transactions on Industrial Electronics*, **44**(1):107–115.
- Suh, B.-S.; Sinha, G.; Manjrekar, M. D. e Lipo, T. A. (1998) Multilevel power conversion - an overview of topologies and modulation strategies, In: *Optimization of Electrical and Elec-*

- tronic Equipments, 1998. OPTIM '98. Proceedings of the 6th International Conference on*, vol. 2, pp. AD-11-AD-24.
- Tang, Q.; Czarkowski, D.; Yang, X. e Lu, S. (2009) A new diode-clamping multilevel converter with reduced device count and dc voltage balancing control, In: *2009 IEEE Energy Conversion Congress and Exposition*, pp. 3116-3123.
- Teichmann, R. e Bernet, S. (2003) Three-level topologies for low voltage power converters in drives, traction and utility applications, In: *Industry Applications Conference, 2003. 38th IAS Annual Meeting. Conference Record of the*, vol. 1, pp. 160-167 vol.1.
- Ueda, F.; Matsui, K.; Asao, M. e Tsuboi, K. (1995) Parallel-connections of pulsewidth modulated inverters using current sharing reactors, *IEEE Transactions on Power Electronics*, **10**(6):673-679.
- Vafakhah, B.; Ewanchuk, J. e Salmon, J. (2010) Multi-carrier interleaved pwm strategies for a new five-level npc inverter using a 3-phase coupled inductor, In: *2010 IEEE Energy Conversion Congress and Exposition*, pp. 2312-2319.
- Veenstra, M. e Rufer, A. (2003) Control of a hybrid asymmetric multi-level inverter for competitive medium-voltage industrial drives, In: *Industry Applications Conference, 2003. 38th IAS Annual Meeting. Conference Record of the*, vol. 1, pp. 190-197 vol.1.
- Velaerts, B.; Mathys, P.; Tatakis, E. e Bingen, G. (1988) A novel approach to the generation and optimization of three-level pwm wave forms for induction motor inverters, In: *Power Electronics Specialists Conference, 1988. PESC '88 Record., 19th Annual IEEE*, pp. 1255-1262 vol.2.
- Villanueva, E.; Correa, P.; Rodriguez, J. e Pacas, M. (2009) Control of a single-phase cascaded h-bridge multilevel inverter for grid-connected photovoltaic systems, *Industrial Electronics, IEEE Transactions on*, **56**(11):4399 -4406.
- Von Jouanne, A.; Dai, S. e Zhang, H. (2002) A multilevel inverter approach providing dc-link balancing, ride-through enhancement, and common-mode voltage elimination, *Industrial Electronics, IEEE Transactions on*, **49**(4):739-745.
- Weng, H.; Chen, K.; Zhang, J.; Datta, R.; Huang, X.; Garces, L.; Wagoner, R.; Ritter, A. e Rotondo, P. (2007) A four-level converter with optimized switching patterns for high-speed electric drives, In: *Power Electronics Specialists Conference, 2007. PESC 2007*.

IEEE, pp. 1585 –1591.

- Wu, H. e He, X. (2001) Inherent correlation between multilevel carrier-based pwm and space vector pwm: principle and application, In: *Power Electronics and Drive Systems, 2001. Proceedings., 2001 4th IEEE International Conference on*, vol. 1, pp. 276–281 vol.1.
- Xiaoming Yuan, I. B. (2000) Fundamentals of a new diode clamping multilevel inverter, *Power Electronics, IEEE Transactions on*, **15**(4):711–718.
- Zhang, Z. e Ruan, X. (2005) Full-bridge three-level converter with the flying capacitor and two clamping diodes, In: *2005 IEEE 36th Power Electronics Specialists Conference*, pp. 425–430.